

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-28190

(P2001-28190A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 11/407
11/401

G 1 1 C 11/34

3 6 2 S 5 B 0 2 4

3 7 1 K

審査請求 未請求 請求項の数11 O L (全 33 頁)

(21) 出願番号 特願2000-76045(P2000-76045)

(22) 出願日 平成12年3月17日(2000.3.17)

(31) 優先権主張番号 特願平11-126716

(32) 優先日 平成11年5月7日(1999.5.7)

(33) 優先権主張国 日本 (J.P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 鈴木 孝章

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 内田 敏也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100072718

弁理士 古谷 史旺 (外1名)

最終頁に続く

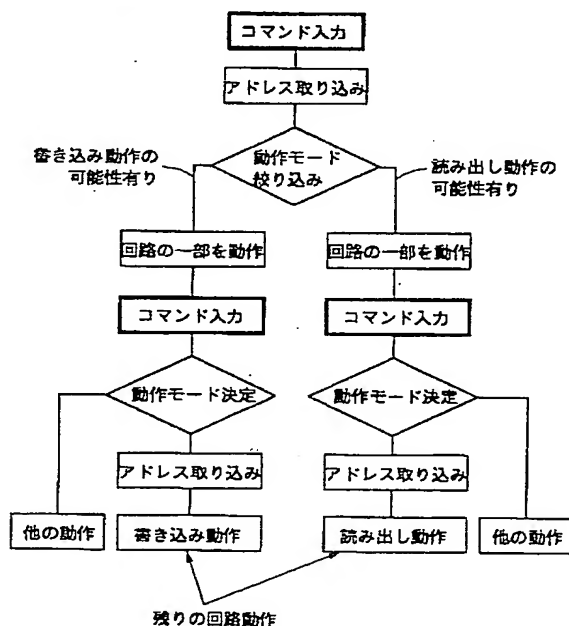
(54) 【発明の名称】 半導体記憶装置の動作制御方法および半導体記憶装置

(57) 【要約】

【課題】 本発明は、複数の動作モードを備えた半導体記憶装置の動作制御方法および複数の動作モードを備えた半導体記憶装置に関し、コマンドの入力に必要な端子数、アドレス入力に必要な端子数を低減すること、および端子数の低減によっても高速な動作サイクルを維持することを目的とする。

【解決手段】 所定の端子から供給される信号をコマンドとして複数回に分けて取り込み、各回の前記コマンドに基づいて動作モードを順次絞り込んでいき、絞り込んだ動作モードにしたがい内部回路が制御される。動作モードの決定に必要な情報を複数回に分けて取り込み、動作モードを絞り込んでいくため、コマンドの入力の必要な端子数が低減される。特に、コマンドの入力に専用の端子を設けている場合には、入力パッド、入力回路等の回路が不要になり、チップサイズが低減される。

請求項1ないし請求項4に記載の発明の
基本原理を示すフローチャート



【特許請求の範囲】

【請求項1】 内部回路を制御する複数の動作モードを備えた半導体記憶装置の動作制御方法において、所定の端子から供給される信号をコマンドとして複数回に分けて取り込み、各回の前記コマンドに基づいて動作モードを順次絞り込んでいき、該動作モードにしたがい前記内部回路の制御を行うことを特徴とする半導体記憶装置の動作制御方法。

【請求項2】 請求項1記載の半導体記憶装置の動作制御方法において、

前記コマンドを2回に分けて取り込み、

最初のコマンドの入力時に動作モードを絞り込み、絞り込んだ動作モードのうち所定の動作モードの実行に必要な回路の一部を動作する制御を行い、

2番目のコマンドの入力時に動作モードを決定し、決定した動作モードが前記所定の動作モードであるときに、残りの回路を動作する制御を行うことを特徴とする半導体記憶装置の動作制御方法。

【請求項3】 請求項2記載の半導体記憶装置の動作制御方法において、

動作モードに、メモリセルにデータを書き込む書き込み動作モードと、メモリセルからデータを読み出す読み出し動作モードとを含み、

最初のコマンドの入力時に、前記書き込み動作モードと前記読み出し動作モードとを区別し、前記書き込み動作モードと前記読み出し動作モードとに共通する回路の動作を開始する制御を行うことを特徴とする半導体記憶装置の動作制御方法。

【請求項4】 請求項3記載の半導体記憶装置の動作制御方法において、

最初のコマンドの入力時に、アドレス端子に供給されている信号を、書き込み動作または読み出し動作に必要なアドレスの一部として取り込み、

2番目のコマンドの入力により決定した動作モードが、前記書き込み動作モードまたは前記読み出し動作モードのときに、前記アドレス端子に供給されている信号を、書き込み動作または読み出し動作に必要な残りのアドレスとして取り込むことを特徴とする半導体記憶装置の動作制御方法。

【請求項5】 請求項4記載の半導体記憶装置の動作制御方法において、

2番目のコマンドの入力時に決定した動作モードが、前記書き込み動作モードのときに、前回の書き込み動作モード時に取り込んだアドレスおよび書き込みデータを使用して、書き込み動作を実行することを特徴とする半導体記憶装置の動作制御方法。

【請求項6】 請求項5記載の半導体記憶装置の動作制御方法において、

最初のコマンドで絞り込まれた前記動作モードに前記書き込み動作モードを含み、

2番目のコマンドの入力時に決定した動作モードが、所定のアドレスを生成しメモリセルに記憶されたデータのリフレッシュ動作を行うオートリフレッシュモードのときに、前記書き込み動作を実行した後、リフレッシュ動作を実行することを特徴とする半導体記憶装置の動作制御方法。

【請求項7】 内部回路を制御する複数の動作モードを備えた半導体記憶装置において、

所定の端子から供給される信号をコマンドとして複数回に分けて取り込み、

各回の前記コマンドに基づいて動作モードを順次絞り込んでいき、該動作モードにしたがい前記内部回路の制御を行うコマンド制御回路を備えたことを特徴とする半導体記憶装置。

【請求項8】 請求項7記載の半導体記憶装置において、

前記コマンド制御回路は、前記コマンドを2回に分けて取り込み、

最初のコマンドの入力時に動作モードを絞り込み、絞り込んだ動作モードのうち所定の動作モードの実行に必要な回路の一部を動作する制御を行い、

2番目のコマンドの入力時に動作モードを決定し、決定した動作モードが前記所定の動作モードであるときに、残りの回路を動作する制御を行うことを特徴とする半導体記憶装置。

【請求項9】 請求項7記載の半導体記憶装置において、

前記コマンド制御回路は、複数回に分けて供給される前記信号を各回毎にそれぞれ取り込む複数の取込回路を備えたことを特徴とする半導体記憶装置。

【請求項10】 請求項9記載の半導体記憶装置において、

前記各取込回路は、クロック信号における互いに異なるエッジに同期して、それぞれ前記信号を取り込むことを特徴とする半導体記憶装置。

【請求項11】 請求項9記載の半導体記憶装置において、

クロック信号に基づいて複数の取込信号を生成するタイミング発生回路を備え、

前記各取込回路は、前記各取込信号に同期して、それぞれ前記信号を取り込むことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の動作モードを備えた半導体記憶装置の動作制御方法および複数の動作モードを備えた半導体記憶装置に関する。

【0002】

【従来の技術】従来、DRAM等の半導体記憶装置では、同一のアドレス端子から異なるアドレス信号を2回に分け

て受けることで、端子数を低減している。このようにアドレス信号を多重化して受ける半導体記憶装置では、記憶容量が大きいかかわらず、小型のパッケージに収容することが可能である。

【0003】アドレス信号を多重化して受ける別の半導体記憶装置として、SDRAM (synchronous DRAM) が知られている。SDRAMでは、クロック信号に同期して入出力インタフェース回路を高速に動作させ、データの書き込み・読み出しを高速に行うことを可能にしている。SDRAMは、同一のワード線に接続された複数のメモリセルに対しては、高速に書き込み動作および読み出し動作を行うことができる。一方、異なるワード線に接続されたメモリセルに対しては、従来のDRAMと同様のタイミングでワード線の再選択を行わなくてはならない。このため、ランダムアクセス時には、DRAMと同程度のアクセス時間しか得られない。

【0004】また、SDRAMでは、コマンドの入力を1回行うことで動作モードが決められ、決められた動作モードが実行される。このため、チップセレクト信号/CS、行アドレスストロブ信号/RAS、列アドレスストロブ信号/CAS、ライトイネーブル信号/WE、クロックイネーブル信号CKEといった多数のコマンド入力用の端子が必要である。また、各コマンドの入力順序が決められていないため、チップ内部ではビット線のプリチャージ動作を行うタイミングを生成することができない。従って、ビット線のプリチャージ動作を行うためには、チップの外部からプリチャージコマンドを与える必要がある。

【0005】一方、近時、ランダムアクセス時に、動作サイクルを大幅に短縮し、高速にデータの書き込み動作および読み出し動作を行うことができるDRAMとして、FCRAM (Fast Cycle RAM) が開発されている。FCRAMでは、内部動作を3ステージに分け、それぞれのステージは、自己完結型に動作する。このため、データの入出力部だけでなく、アドレス等の取り込み動作、およびメモリア部の動作についてもパイプライン処理を行うことができる。パイプライン処理により動作サイクルの短縮が図られている。また、FCRAMでは、アクセス時間の高速化を最優先にしているため、アドレス端子が非多重にされ、アドレス信号を、コマンドの入力と同時に一括して入力する仕様にされている。そして、コマンドの入力を1回行うことで動作モードが決められ、決められた動作モードが実行される。

【0006】

【発明が解決しようとする課題】ところで、上述したSDRAMでは、コマンド入力用の端子数が多いという問題があった。コマンド入力用の端子数が多いと、コマンドの入力を行う外付け回路の制御が複雑になる。また、上述したFCRAMでは、アドレスを非多重としているため、同一の記憶容量を有するDRAM、SDRAMに比べて端子数が多くなるという問題があった。端子数が多くなることで、

アドレスパッド、およびアドレス入力回路等が多数必要になり、チップサイズが大きくなるという問題があった。また、端子数が多くなる結果、パッケージサイズが大きくなるおそれがあった。特に、現在主流となりつつあるCSP (Chip Size Package) の場合には、プリント基板との接続用のボールが二次元的に配列されるため、端子数によっては、パッケージサイズが端子数に依存して大きくなるおそれがあった。

【0007】本発明の目的は、コマンドの入力に必要な端子数、およびアドレス入力に必要な端子数を低減することにある。本発明の別の目的は、端子数を低減し、チップサイズおよびパッケージサイズの大型化を防止することにある。本発明の別の目的は、端子数の低減によっても、高速な動作サイクルを維持することにある。

【0008】本発明の別の目的は、高速な動作サイクルを維持するために、特に、信号を高速に取り込むことにある。

【0009】

【課題を解決するための手段】図1は、請求項1ないし請求項4に記載の発明の基本原理解を示すフローチャートである。

【0010】請求項1の半導体記憶装置の動作制御方法では、所定の端子から供給される信号をコマンドとして複数回に分けて取り込み、各回の前記コマンドに基づいて動作モードを順次絞り込んでいき、絞り込んだ動作モードにしたがい内部回路が制御される。動作モードの決定に必要な情報を複数回に分けて取り込み、動作モードを絞り込んでいくため、コマンドの入力の必要な端子数が低減される。特に、コマンドの入力に専用の端子を設けている場合には、入力パッド、入力回路等の回路が不要になり、チップサイズが低減される。例えば、2本の端子で、コマンドを2回または3回に分けて取り込んだ場合、それぞれ、4種類または8種類の動作モードを識別できる。端子数が低減されるため、端子数の制約によりパッケージサイズが大型化することが防止される。

【0011】請求項2の半導体記憶装置の動作制御方法では、コマンドの入力が2回に分けて行われる。最初のコマンドの入力で、複数の動作モードの絞り込みが行われる。このとき、絞り込んだ動作モードのうち、所定の動作モードの実行に必要な回路の一部を動作する制御を行う。そして、2番目のコマンドの入力で動作モードを決定し、この動作モードが、所定の動作モードのときに、残りの回路を動作する制御を行う。最初のコマンドの入力時に、予め、所定の動作モードの一部を実行するため、コマンドの入力を2回に分けた場合にも、アクセス時間の高速化が可能になる。

【0012】請求項3の半導体記憶装置の動作制御方法では、最初のコマンドの入力時に、書き込み動作モードと読み出し動作モードとを区別する。すなわち、最初のコマンドの入力により絞り込まれた動作モードの中に、

書き込み動作モードと読み出し動作モードとの両方が含まれることはない。そして、最初のコマンドの入力時に、書き込み動作モードと読み出し動作モードとに共通する回路の動作を開始する。予め、書き込み動作と読み出し動作とに必要な回路の動作を開始することで、アクセス時間が高速化される。

【0013】請求項4の半導体記憶装置の動作制御方法では、最初のコマンドの入力時に、アドレス端子に供給されている信号が、書き込み動作または読み出し動作に必要なアドレスの一部として取り込まれる。2番目のコマンドの入力により決定した動作モードが、書き込み動作モードまたは前記読み出し動作モードのときには、アドレス端子に供給されている信号が、書き込み動作または読み出し動作に必要な残りのアドレスとして取り込まれる。書き込み動作または読み出し動作に必要なアドレスを2回に分けて取り込むため、アドレス端子の数が大幅に低減される。この結果、アドレスパッド、アドレス入力回路等が低減され、チップサイズが低減される。端子数が低減されるため、パッケージサイズが端子数の制約により大型化することが防止される。請求項5の半導体記憶装置の動作制御方法では、最初のコマンドの入力時に、動作モードが書き込み動作モードを含む場合には、前回取り込んだ書き込みアドレスおよび書き込みデータを使用して、書き込み動作を開始することが可能なり、書き込みサイクルを早く終了することが可能なる。このため、書き込み動作の後に読み出し動作を行う場合にも、読み出しサイクルの回路動作を早く開始することが可能なる。請求項6の半導体記憶装置の動作制御方法では、最初のコマンドの入力時に絞込まれた動作モードに書き込み動作モードが含まれる場合、書き込み動作の実行に必要な回路の一部が動作する。そして、2番目のコマンドの入力により決定した動作モードが、オートリフレッシュモードのときに、書き込み動作が実行された後、リフレッシュ動作が実行される。このため、最初のコマンドの入力により動作を開始した回路を利用して、効率よく書き込み動作ができる。

【0014】図2は、請求項7および請求項8に記載の発明の基本原理を示すブロック図である。請求項7の半導体記憶装置は、コマンド制御回路39、41を備えている。コマンド制御回路39、41は、所定の端子から供給される信号をコマンドとして複数回に分けて取り込み、各回の前記コマンドに基づいて動作モードを順次絞り込んでいき、絞り込んだ動作モードにしたがい内部回路を制御する。動作モードの決定に必要な情報を複数回に分けて取り込み、動作モードを絞り込んでいくため、コマンドの入力の必要な端子数が低減される。特に、コマンドの入力に専用の端子を設けている場合には、入力パッド、入力回路等の回路が不要になり、チップサイズが低減される。端子数が低減されるため、端子数の制約によりパッケージサイズが大型化することが防止され

る。

【0015】請求項8の半導体記憶装置では、コマンド制御回路39、41は、所定の端子から供給される信号をコマンドとして2回に分けて取り込む。コマンド制御回路39、41は、最初のコマンドの入力時に動作モードを絞り込み、絞り込んだ動作モードのうち所定の動作モードの実行に必要な回路の一部を動作する制御を行う。コマンド制御回路39、41は、2番目のコマンドの入力時に動作モードを決定し、決定した動作モードが前記所定の動作モードであるときに、残りの回路を動作する制御を行う。

【0016】動作モードの決定に必要な情報を複数回に分けて取り込むため、コマンドの入力の必要な端子数が低減される。特に、コマンドの入力に専用の端子を設けている場合には、入力パッド、入力回路等の回路が不要になり、チップサイズが低減される。端子数が低減されるため、端子数の制約によりパッケージサイズが大型化することが防止される。最初のコマンドの入力時に、予め、所定の動作モードの一部を実行するため、コマンドの入力を2回に分けた場合にも、アクセス時間の高速化が可能になる。

【0017】請求項9の半導体記憶装置では、コマンド制御回路は、複数の取込回路を備えている。各取込回路は、複数回に分けて供給される前記信号を各回毎にそれぞれ取り込む。すなわち、信号の供給されるタイミングに応じて、それぞれ異なる取込回路が動作し、内部回路が制御される。このため、複雑なコマンド体系を有する半導体記憶装置においても、コマンド制御回路を容易に設計できる。この結果、設計の検証も容易になる。

【0018】請求項10の半導体記憶装置では、各取込回路は、クロック信号における互いに異なるエッジに同期して、それぞれ信号を取り込む。同一のクロック信号により信号を直接取り込めるため、取込制御が高速になる。この結果、内部回路を動作を早く開始でき、アクセス時間を短縮できる。請求項11の半導体記憶装置では、クロック信号に基づいて複数の取込信号を生成するタイミング発生回路を備えている。各取込回路は、各取込信号に同期して、それぞれ前記信号を取り込む。クロック信号から生成される取込信号により信号を取り込むため、クロック信号を複数の取込回路に配線することが不要になる。この結果、供給される信号の数が多く、取込回路の数が多く場合にも、クロック信号の負荷を増大することなく、信号を取り込むことができる。

【0019】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて詳細に説明する。図3は、本発明の半導体記憶装置の動作制御方法の第1の実施形態、および本発明の半導体記憶装置の第1の実施形態における状態遷移図を示している。この実施形態は、請求項1ないし請求項4、請求項7、請求項8に対応している。

【0020】この実施形態の半導体記憶装置は、内部回路を3ステージに分けて、それぞれをパイプライン動作させる機能を有したDRAMとして形成されている。DRAMは、6つの動作モードと、3つの動作状態とを有している。動作モードには、低消費電力モード、モードレジスタ設定モード、読み出し動作モード、書き込み動作モード、オートリフレッシュモード、セルフリフレッシュモードがある。動作状態には、待機状態、活性状態R、活性状態Wがある。

【0021】各動作モードおよび各動作状態への移行は、RDAコマンド、WRAコマンド、DESLコマンド、MRSコマンド、LALコマンド、REFコマンド、SELFNコマンド、SELFEXコマンド、PDEXコマンド、およびPDENコマンドを、それぞれ受けたときに行われる。矢印は、移行する方向を示している。RDAコマンド、WRAコマンド、DESLコマンド、MRSコマンド、LALコマンド、REFコマンドは、後述するチップセレクト信号/CS、ファンクション信号FNにより決まるコマンドである。これ等のコマンドのうち、太い実線で示したRDAコマンド、WRAコマンド、DESLコマンドは、第1コマンドと称され、待機状態から受け付け可能なコマンドである。太い破線で示したMRSコマンド、LALコマンド、REFコマンドは、第2コマンドと称され、活性状態Rまたは活性状態Wのときに受け付け可能なコマンドである。すなわち、第2コマンドは、第1コマンドを受けた後に受け付け可能なコマンドである。したがって、読み出し動作モード、書き込み動作モード、モ

ードレジスタ設定モード、オートリフレッシュモードへの移行は、第1コマンドを受けた後、さらに第2コマンドを受けることで行われる。なお、活性状態Rは、第2コマンドにより読み出し動作モードに移行する可能性のある状態である。活性状態Wは、第2コマンドにより書き込み動作モードに移行する可能性のある状態である。

【0022】細い実線で示したSELFNコマンド、SELFEXコマンド、PDENコマンド、PDEXコマンドは、後述するパワーダウン信号PDの高レベルまたは低レベルにより決まるコマンドである。すなわち、オートリフレッシュモード時に、パワーダウン信号PDが低レベルにされると、制御はセルフリフレッシュモードに移行する（SELFNコマンド）。セルフリフレッシュモード時に、パワーダウン信号PDが高レベルにされると、制御は待機状態に移行する（SELFEXコマンド）。待機状態時に、パワーダウン信号PDが低レベルにされると、制御は低消費電力モードに移行する（PDENコマンド）。低消費電力モード時に、パワーダウン信号PDが高レベルにされると、制御は待機状態に移行する（PDEXコマンド）。

【0023】なお、細い破線は、動作モードを実行した後、待機状態に自動復帰することを示している。読み出し動作、書き込み動作、モードレジスタの設定、オートリフレッシュ動作が行われた後、制御は自動的に待機状態に移行する。

【表1】

機能	コマンド	信号名							
		CLK	/CS	FN	BA1-BA0	A14	A13	A12-A9	A8-A0
チップ非選択	DESL	L-H	H	X	X	X	X	X	X
読み出し動作可能性有り	RDA	L-H	L	H	BA	UA	UA	UA	UA
書き込み動作可能性有り	WRA	L-H	L	L	BA	UA	UA	UA	UA

表1は、第1コマンドを受け付けるための信号の状態を示している。表において、記号「L-H」は低レベルから高レベル時の変化を示し、記号「H」は高レベル状態を示し、記号「L」は低レベルを示し、記号「X」は任意の高レベルまたは低レベルを示し、記号「BA」は所定のバンクアドレスを示し、記号「UA」は所定の上位アドレスを示している。

【0024】DESLコマンドの受け付けは、クロック信号CLKの立ち上がりエッジで、チップセレクト信号/CSが高レベルの時に行われる。チップの状態は、DESLコマンドの受けることで、再び待機状態になる。すなわち、DESLコマンドは、チップの非選択状態を保持するコマンドである。

【0025】RDAコマンドの受け付けは、クロック信号CLKの立ち上がりエッジで、チップセレクト信号/CSが低レベル、ファンクション信号FNが高レベルの時に行われる。RDAコマンドの受け付けと同時に、バンクアドレス信号BA1、BA0がバンクアドレスとして、アドレス信号A14-A0が上位アドレス（例えば、行アドレス）として取り込まれる。チップの状態は、RDAコマンドの受け付けにより活性状態Rになる。

【0026】WRAコマンドの受け付けは、クロック信号CLKの立ち上がりエッジで、チップセレクト信号/CSが低レベル、ファンクション信号FNが低レベルの時に行われる。WRAコマンドの受け付けと同時に、バンクアドレス信号BA1、BA0がバンクアドレスとして、アドレス信号A1

4-A0が上位アドレス（例えば、行アドレス）として取り込まれる。チップの状態は、WRAコマンドの受け付けに

より活性状態Wになる。

【表2】

機能	コマンド	信号名							
		CLK	/CS	FN	BA1-BA0	A14	A13	A12-A9	A8-A0
下位アドレスラッチ	LAL	L-H	H	X	X	WBL0	WBL1	X	LA
モードレジスタセット	MRS	L-H	L	X	L	L	L	V	V
オートリフレッシュ	REF	L-H	L	X	X	X	X	X	X

表2は、第2コマンドを受け付けるための信号の状態を示している。表において、記号「V」、「WBL0」、「WBL1」は所定の高レベルまたは低レベルを示し、記号「LA」は所定の下位アドレスを示している。LALコマンドの受け付けは、クロック信号CLKの立ち上がりエッジで、チップセレクト信号/CSが高レベルの時に行われる。LALコマンドの受け付けと同時に、バンクアドレス信号BA1、BA0がバンクアドレスとして、アドレス信号A14がWBL0ビットとして、アドレス信号A13がWBL1ビットとして、アドレス信号A12-A0が下位アドレス（例えば、列アドレス）として取り込まれる。チップの制御は、活性状態RでLALコマンドを受け付けたときには、読み出し動作モードに移行し、読み出し動作を実行する。チップの制御は、活性状態WでLALコマンドを受け付けたときには、書き込み動作モードに移行し、書き込み動作を実行する。すなわち、既に取り込んだコマンド（RDAコマンドまたはWRAコマンド）に基づいて、新たに取り込んだLALコマンドから動作モードが絞込まれる。換言すれば、動作モードは、LALコマンドだけでは決まらない。

【0027】MRSコマンドの受け付けは、クロック信号CLKの立ち上がりエッジで、チップセレクト信号/CSが低レベルの時に行われる。MRSコマンドの受け付けと同時に、バンクアドレス信号BA1、BA0およびアドレス信号A14-A13の低レベルが取り込まれ、アドレス信号A12-A0から所定の値が取り込まれる。アドレス信号A12-A0の値は、後述するモードレジスタ49の設定に使用される。

【0028】REFコマンドの受け付けは、クロック信号CLKの立ち上がりエッジで、チップセレクト信号/CSが低レベルの時に行われる。REFコマンドを受けてチップの制御はオートリフレッシュモードに移行し、オートリフレッシュ動作を実行する。LALコマンド、書き込み動作または読み出し動作のための共通のコマンドであり、書き込み動作を実行するか読み出し動作を実行するかは、第1コマンドに依存する。また、MRSコマンド、REFコマンドの受け付けは、いずれもチップセレクト信号/CSが低レベルの時に行われる。

【0029】このため、本発明のDRAMは、チップセレクト

ト信号/CS、ファンクション信号FNのみをコマンド信号とすることで、読み出し動作、書き込み動作、モードレジスタ設定、オートリフレッシュを行うことが可能である。また、読み出し動作、書き込み動作に際には、例えば/WE等の読み書き端子は不要である。

【表3】

BL=2	WBL0	WBL1	書き込みデータ長
	L	X	全データ
	H	X	最初の1データ
BL=4	WBL0	WBL1	書き込みデータ長
	L	L	未使用
	H	L	全データ
	L	H	最初の2データ
BL=8	WBL0	WBL1	書き込みデータ長
	L	L	全データ
	H	L	最初の4データ
	L	H	最初の2データ
	WBL0	WBL1	書き込みデータ長
	H	H	最初の1データ

表3は、表2に示したLALコマンドを受ける際に設定するWBL0ビット、WBL1ビットの詳細を示している。WBL0ビット、WBL1ビットは、後述する書き込み動作時の書き込みデータ数の設定を行うビットである。バースト長は、1回の書き込み動作または読み出し動作で入出力可能なデータ信号数である。

【0030】バースト長BLが「2」の場合、WBL0ビットが低レベルの時には、全データの書き込み動作が行われる。WBL0ビットが高レベルの時には、最初のデータのみ書き込み動作が行われる。バースト長BLが「4」の場合、WBL0ビットが高レベル、WBL1ビットが低レベルの時には、全データの書き込み動作が行われる。WBL0ビットが低レベル、WBL1ビットが高レベルの時には、最初の2データのみ書き込み動作が行われる。WBL0ビット、WBL1ビットがともに高レベルの時には、最初のデータのみ書き込み動作が行われる。

【0031】バースト長BLが「8」の場合、WBL0ビッ

ト、WBL1ビットがともに低レベルの時には、全データの書き込み動作が行われる。WBL0ビットが高レベル、WBL1ビットが低レベルの時には、最初の4データのみ書き込み動作が行われる。WBL0ビットが低レベル、WBL1ビットが高レベルの時には、最初の2データのみ書き込み動作が行われる。WBL0ビット、WBL1ビットがともに高レベルの時には、最初のデータのみ書き込み動作が行われる。

【0032】設定された書き込みデータ数の書き込み動作を完了した後に、制御は直ちに書き込み動作モードから待機状態に移行する。このため、不要な書き込み動作を行うことが防止され、書き込みサイクルに要する時間が低減される。

【表4】

機能	コマンド	現状態	PD		/CS	FN	BA1-BA0	A14-A0
			n-1	n				
低消費電力	移行	PDEN	待機状態	H	L	H	X	X
	動作	——	低消費電力	L	L	X	X	X
	解除	PDEX	低消費電力	L	H	H	X	X
セルフリフレッシュ	移行	SELFN	オートリフレッシュ	H	L	L	X	X
	動作	——	セルフリフレッシュ	L	L	X	X	X
	解除	SELFX	セルフリフレッシュ	L	H	H	X	X

表4は、低消費電力モード、セルフリフレッシュモードにおける信号の状態を示している。

【0033】低消費電力モードへの移行は、待機状態において、チップセレクト信号/CSが高レベルの状態、パワーダウン信号PDが高レベルから低レベルに変化したときに行われる（PDENコマンド）。低消費電力モードへの移行中は、パワーダウン信号PDの低レベルを維持することで、低消費電力モードの状態が保持される。すなわち、後述するように、パワーダウン信号PDを受け付ける入力バッファ以外は非活性化される。低消費電力モードからの解除は、チップセレクト信号/CSが高レベルの状態、パワーダウン信号PDが低レベルから高レベルに変化したときに行われる（PDEXコマンド）。

【0034】セルフリフレッシュモードへの移行は、オートリフレッシュモードにおいて、チップセレクト信号/CSが低レベルの状態、パワーダウン信号PDが高レベルから低レベルに変化したときに行われる（SELFNコマンド）。セルフリフレッシュモードへの移行中は、パワーダウン信号PDの低レベルを維持することで、セルフリフレッシュモード状態が保持される。すなわち、セルフリフレッシュ動作が連続して行われる。セルフリフレッシュモードからの解除は、チップセレクト信号/CSが高レベルの状態、パワーダウン信号PDが低レベルから高レベルに変化したときに行われる（SELFXコマンド）。

【0035】図4は、本発明が適用されたDRAMの全体構成を示している。DRAMは、デコード部21、4つのメモリ動作部23、および入出力部25で構成されている。デコード部21は第1ステージに対応する制御を行うブロックである。メモリ動作部23は第2ステージに対応する制御を行うブロックである。入出力部25は第3ステージに対応する制御を行うブロックである。これ等3

つのブロックは、それぞれ独立してパイプライン動作する機能を有している。各メモリ動作部23は、メモリコア部27を備えている。

【0036】デコード部21には、クロック端子CLK、パワーダウン端子PD、チップセレクト端子/CS、ファンクション端子FN、バンクアドレス端子BA1、BA0、およびアドレス端子A14-A0を介して、それぞれ外部からクロック信号CLK、パワーダウン信号PD、チップセレクト信号/CS、ファンクション信号FN、バンクアドレス信号BA1、BA0、およびアドレス信号A14-A0が供給されている。デコード部21は、活性化信号ACT、バンクアドレス信号B-A DD、内部クロック信号CLKIN、制御信号CNT1、およびモード制御信号MDを出力している。

【0037】各メモリ動作部23には、活性化信号ACT、バンクアドレス信号B-ADDが供給されている。各メモリ動作部23は、制御信号CNT2、プリデコード信号PDEC C、読み出しデータ信号RDATAを入出力部25に出力し、入出力部25から書き込みデータ信号WDATAを受けている。入出力部25には、データ入出力端子DQ15-DQ0を介して、外部からデータ入出力信号DQ15-DQ0が供給されている。入出力部25には、デコード部21から制御信号CNT1、内部クロック信号CLKIN、モード制御信号MDが供給されている。

【0038】なお、図中の太い矢印は、複数本からなる信号線を示している。また、以降の説明を分かりやすくするため、例えば、「クロック信号CLK」を「CLK信号」、「チップセレクト信号/CS」を「/CS信号」というように、各信号名を略して表すことがある。図5は、図4に示したデコード部21の詳細を示している。デコード部21は、主にコマンドおよびアドレスの入力、デコードを行うブロックである。デコード部21は各信号を

デコード後に、自動的にリセットされ、次のコマンド、アドレス信号を受け付ける状態になる。

【0039】デコード部21は、クロックバッファ29、制御信号バッファ31、パワーダウン信号ラッチ33、行アドレスバッファ35、列アドレスバッファ37、コマンドデコーダ39、コマンドラッチ41、リフレッシュカウンタ43、行アドレスラッチ45、列アドレスラッチ47、モードレジスタ49、およびモード制御回路51を備えている。

【0040】クロックバッファ29は、クロック信号CLKを受け、内部クロック信号CLKINを出力している。制御信号バッファ31は、内部クロック信号CLKINに同期して、チップセレクト信号/CS、ファンクション信号FNを取り込み、取り込んだ信号を、それぞれ内部信号CINとしてコマンドデコーダ39に出力している。パワーダウン信号ラッチ33は、内部クロック信号CLKINに同期して、パワーダウン信号PDを取り込み、取り込んだ信号を内部パワーダウン信号PDINとしてコマンドデコーダ39に出力している。行アドレスバッファ35は、内部クロック信号CLKINに同期して、バンクアドレス信号BA1-BA0、アドレス信号A14-A0を取り込み、取り込んだ信号を内部行アドレス信号ADRINとして行アドレスラッチ45およびモードレジスタ49に出力する回路である。列アドレスバッファ37は、内部クロック信号CLKINに同期して、アドレス信号A8-A0を取り込み、取り込んだ信号を内部列アドレス信号ADCINとして列アドレスラッチ47およびモードレジスタ49に出力する回路である。行アドレスバッファ35および列アドレスバッファ37に供給されている所定の制御信号CNT1は、低消費電力モード時に行アドレスバッファ35および列アドレスバッファ37を非活性化制御するための信号である。

【0041】コマンドデコーダ39は、内部クロック信号CLKIN、内部信号CIN、および内部パワーダウン信号PDINを受けてコマンドを解釈し、他の回路を制御する制御信号CNT1およびメモリ動作部23を制御する活性化信号ACTを生成する回路である。制御信号CNT1は、複数本からなり、それぞれの信号が各回路を制御している。また、コマンドデコーダ39は、取り込んだ第1コマンドの内容をコマンド信号CMD1を介してコマンドラッチ41に出力している。コマンドデコーダ39は、コマンドラッチ41にラッチされた第1コマンドの内容をコマンド信号CMD2を介して受けている。コマンドラッチ41は、第1コマンドの内容をラッチする機能を有しており、チップが図3に示した活性状態R、活性状態Wのいずれの状態にあるかを記憶する回路である。

【0042】リフレッシュカウンタ43は、所定の制御信号CNT1を受け、動作モードが、オートリフレッシュモードまたはセルフリフレッシュモードのときに、内部で生成したリフレッシュアドレスADREFを出力する回路である。行アドレスラッチ45は、内部行アドレス信号AD

RINまたはリフレッシュアドレスADREFを、バンクアドレスB-ADDとして出力する回路である。列アドレスラッチ47は、内部列アドレス信号ADCINまたはリフレッシュアドレスADREFを、バンクアドレスB-ADDとして出力する回路である。

【0043】モードレジスタ49は、チップの状態を設定するレジスタである。モードレジスタ49は、内部行アドレス信号ADRIN、内部列アドレス信号ADCIN、所定の制御信号CNT1を受け、モード設定信号MSETを出力している。モード制御回路51は、モードレジスタ49に設定された内容(後述するデータレイテンシDL、バーストタイプ、バースト長BL)をモード設定信号MSETを介して受け、モード制御信号MDを出力する回路である。

【0044】図6は、モードレジスタ49の各ビット内容を示している。モードレジスタ49は、バンクアドレス信号BA1、BA0、アドレス信号A12-A0に対応する15ビットで構成されている。バンクアドレス信号BA1、BA0、およびアドレス信号A12-A7に対応する8ビットは、常に低レベルを書き込む仕様になっている。アドレス信号A6-A4に対応する3ビットは、データ信号の入出力タイミングを決めるデータレイテンシDLを「2」または「3」に設定するビットである。アドレス信号A3に対応するビットは、データ信号の入出力順序であるバーストタイプBTを「シーケンシャル」または「インタリーブ」に設定するビットである。アドレス信号A2-A0に対応する3ビットは、バースト長BLを「2」、「4」、「8」のいずれかに設定するビットである。

【0045】図7は、メモリ動作部23の詳細を示している。メモリ動作部23は、RASジェネレータ53、プリチャージジェネレータ55、第1制御回路57、プリデコーダ59a、59b、ブロックデコーダ61、ワードデコーダ63、1/4デコーダ65、BLTデコーダ67、センスアンプジェネレータ69、コラムデコーダ71、第2制御回路73、およびリード/ライトバッファ75を備えている。

【0046】RASジェネレータ53は、活性化信号ACTを受け、プリチャージ制御信号PREおよびワード線選択信号RASZを第1制御回路57に出力する回路である。また、RASジェネレータ53は、ワード線選択信号RASZとほぼ同一のタイミングの制御信号P1をプリチャージジェネレータ55に出力し、制御信号P2をプリチャージジェネレータ55から受けている。プリチャージジェネレータ55は、制御信号P1を受けた後、所定の時間後に制御信号P2を出力する回路である。

【0047】第1制御回路57は、プリチャージ制御信号PREとワード線選択信号RASZを受け、制御信号CNT2を出力する回路である。制御信号CNT2は、複数本からなり、それぞれ、ワードデコーダ63、1/4デコーダ65、BLTデコーダ67、プリデコーダ59a、59b、センスアンプジェネレータ69、コラムデコーダ71、

第2制御回路73、および入出力部25に供給されている。制御信号CNT2は、入出力部25には、2本供給されている。

【0048】プリデコーダ59aは、所定の制御信号CNT2およびバンクアドレスB-ADDを受け、プリデコード信号PDECRおよびプリデコード信号PDECBを出力する回路である。プリデコーダ59bは、所定の制御信号CNT2およびバンクアドレスB-ADDを受け、プリデコード信号PDECCを出力する回路である。ブロックデコーダ61は、プリデコーダ59aからのプリデコード信号PDECBを受けてデコード信号DECBを出力する回路である。

【0049】ワードデコーダ63は、所定の制御信号CNT2、デコード信号DECB、プリデコード信号PDECRを受け、主ワード線デコード信号WDECをメモリコア部27に出力する回路である。1/4デコーダ65は、所定の制御信号CNT2およびプリデコード信号PDECR、PDECCを受け、副ワード線デコード信号1/4DECをメモリコア部27に出力する回路である。副ワード線デコード信号1/4DECは、選択された主ワード線から分岐する4本の副ワード線のいずれかを選択するための信号である。

【0050】BLTデコーダ67は、所定の制御信号CNT2、デコード信号DECB、およびプリデコード信号PDECRを受け、ビット線トランスファデコード信号BLTをメモリコア部27に出力する回路である。センスアンプジェネレータ69は、所定の制御信号CNT2、デコード信号DECB、およびプリデコード信号PDECR、PDECCを受け、センスアンプ活性化信号MW、SWをメモリコア部27に出力する回路である。

【0051】コラムデコーダ71は、所定の制御信号CNT2、プリデコード信号PDECCを受け、コラム選択線(図示せず)を選択するコラム線選択信号CLをメモリコア部27に出力する回路である。コラムデコーダ71は、図8に示すように、複数のデコード回路71aから構成されている。各デコード回路71aは、インバータを介して縦続接続されたNANDゲート71b、71cと複数のインバータとを備えている。入力側のNANDゲート71bには、プリデコード信号PDECC(a)、PDECC(b)、PDECC(c)が供給されている。出力側のNANDゲート71cには、NANDゲート71bから出力される論理と、制御信号CNT2とが供給されている。

【0052】また、図7に示した第2制御回路73は、所定の制御信号CNT2およびプリデコード信号PDECCを受け、リード/ライトバッファ75を制御する制御信号CNT3を出力する回路である。リード/ライトバッファ75は、制御信号CNT3の制御を受け、書き込み動作時に、入出力部25から送られる書き込みデータ信号WDATAをメモリコア部27に転送し、読み出し動作時に、メモリコア部27から出力されるデータを読み出しデータ信号RDATAとして入出力部25に転送する回路である。

【0053】図9は、メモリコア部27の概要を示して

いる。メモリコア部27には、主ワードデコーダ27a、1/4ワードセクタ27b、副ワード線ドライバ27c、副ワードデコーダ27d、センスアンプ27e、およびメモリセルMCが、それぞれ複数配置されている。主ワードデコーダ27aは、主ワード線デコード信号WDECを受けて、所定の主ワード線MWLを選択する回路である。1/4ワードセクタ27c、副ワード線ドライバ27b、副ワードデコーダ27dは、副ワード線デコード信号1/4DECを受けて、所定の副ワード線SWLを選択する回路である。主ワード線MWLおよび副ワード線SWLの選択により、例えば、1回の読み出し動作時に、太線で示した主ワード線MWLおよび副ワード線SWLが選択される。選択された主ワード線MWLおよび副ワード線SWLに接続されたメモリセルMCからデータが出力される。

【0054】センスアンプ27eは、例えば、読み出し動作時に、メモリセルから出力されるデータを増幅し出力するとともに、増幅したデータをメモリセルに再書き込みする回路である。図10は、入出力部25の詳細を示している。入出力部25は、読み出し動作のデータコンバータ77、書き込み動作のデータコンバータ79、データ出力バッファ81、データ入力バッファ83、および書き込みデータ長制御回路85を備えている。

【0055】データコンバータ77は、図7のリード/ライトバッファ75から供給される読み出しデータ信号RDATAを並列直列変換し、変換された出力データDOUTをデータ出力バッファ81に出力する回路である。データコンバータ79は、データ入力バッファ83から供給される入力データDINを直列並列変換し、変換された書き込みデータ信号WDATAを図7のリード/ライトバッファ75に出力する回路である。データコンバータ77、79には、それぞれ所定の制御信号CNT1、所定の制御信号CNT2、プリデコード信号PDECC、データレイテンシDLの情報を有するモード制御信号MD、および内部クロック信号CLKINが供給されている。

【0056】書き込みデータ長制御回路85は、所定の制御信号CNT1を受け、書き込み動作時のデータ長を制御する制御信号CNT3をデータコンバータ79に出力する回路である。書き込みデータ長は、書き込み動作時のLALコマンドの入力時に、アドレス端子A14-A13から供給されるWBL0、WBL1ビットにより指定される(表3参照)。以下、上述したDRAMの動作の一例として、読み出し動作について説明する。

【0057】読み出し動作は、図3に示したように、RD-Aコマンド(第1コマンド)により、チップを待機状態から活性状態Rにした後、さらにLALコマンド(第2コマンド)によりチップを読み出し動作モードにすることで行われる。図11は、読み出し動作時の主要な信号のタイミングを示している。先ず、図5の制御信号バッファ31は、CLK信号の立ち上がりエッジに同期して第1コ

マンドの取り込みを行う(図11(a))。コマンドデコーダ39は、制御信号バッファ31が取り込んだ内部信号CINを受け、ACT信号を所定の期間高レベルにする(図11(b))。

【0058】図5の行アドレスバッファ35は、第1コマンドの取り込みと同時に、BA1-BA0信号およびA14-A0信号からアドレスを取り込む。行アドレスラッチ45は、行アドレスバッファ35が出力する内部行アドレス信号ADRINをバンクアドレスB-ADDとして出力する(図11(c))。RDAコマンドにより、チップの状態は活性状態Rになる。活性状態Rから書き込み動作モードに移行することはないため、この時点で、読み出し動作と書き込み動作との区別がされる。すなわち、最初のコマンドの取り込みにより、動作モードが絞り込まれる。

【0059】図7のRASジェネレータ53は、ACT信号を受けて、ワード線選択信号RASZを所定の期間高レベルにし、プリチャージ制御信号PREを低レベルにする(図11(d))。この後、ビット線のプリチャージ動作が停止される。さらに、第2コマンドの入力を待たずに所定の主ワード線MWLおよび副ワード線SWLが選択される。第1コマンドを取り込んだ状態で、第2ステージの制御、すなわち、メモリ動作部23が動作する。

【0060】また、この時点で、コラムデコーダ71は、図8に示したように、プリデコード信号PDECC(a)、PDECC(b)、PDECC(c)を受ける前に、NANDゲート71cで制御信号CNT2を受ける。このため、コラムデコーダ71は、プリデコード信号PDECC(a)、PDECC(b)、PDECC(c)の待ち状態になり動作が高速化される。図5の制御信号バッファ31は、第1コマンドを取り込んだ次のCLK信号の立ち上がりエッジで、第2コマンドの取り込みを行う(図11(e))。このため、第2コマンドの入力時に得られる情報が、第1コマンドの入力後から短時間で制御に反映される。この結果、コマンドの入力を2回に分けて行ったときに、第2コマンドに対応する制御の遅れを最小限にすることが可能になる。ここまでの制御は、WR Aコマンドの場合にも共通して行われる。

【0061】コマンドデコーダ39は、内部信号CINを受け、入力されたコマンドがLALコマンドであることを解読する。LALコマンドにより、チップの状態は読み出し動作モードになる。すなわち、2回のコマンドの入力により動作モードが決定される。2回のコマンドの入力により、順次動作モードを絞り込むため、コマンドの入力の必要な端子数が低減される。

【0062】列アドレスバッファ37は、第2コマンドの取り込みと同時に、A8-A0信号からアドレスを取り込む。列アドレスラッチ47は、列アドレスバッファ37が出力する内部列アドレス信号ADCINをバンクアドレスB-ADDとして出力する(図11(f))。読み出し動作に必要なアドレスを2回に分けて取り込むため、アドレス端子の数が大幅に低減される。この結果、アドレスバッ

ド、アドレス入力回路等が低減され、チップサイズが低減される。端子数が低減されるため、パッケージサイズが端子数の制約により大型化することが防止される。

【0063】なお、第1コマンドを受けた後、メモリ動作部23は動作を続けている。選択された副ワード線SWLに接続されたメモリセルMCからビット線(図示せず)に読み出しデータが出力される(図11(g))。図7のBLTデコーダ67は、CNT2信号および所定のアドレスを受けて、BLT信号を低レベルにする(図11(h))。センスアンプジェネレータ69は、CNT2信号および所定のアドレスを受けて、センスアンプ活性化信号MW、SWを高レベルにする(図11(j))。

【0064】センスアンプ活性化信号MW、SWの高レベルにより、センスアンプは活性化され(図11の「ACT V」)、ビット線の信号レベルを増幅する(図11(k))。コラムデコーダ71は、CNT2信号およびプリデコード信号PDECCを受けて、コラム線選択信号CLを高レベルにする(図11(l))。CL信号の高レベルにより、メモリコア部27からリード/ライトバッファ75にデータ信号DATAが出力される(図11(m))。

【0065】リード/ライトバッファ75は、データ信号DATAを読み出しデータ信号RDATAとして、図10のデータコンバータ77に出力する。データコンバータ77は、読み出しデータ信号RDATAを並列直列変換し、データ出力バッファ81を介して、データ入出力信号DQ15-DQ0として出力する(図11(n))。

【0066】また、図7のRASジェネレータ53は、プリチャージジェネレータ55からの出力信号P2を受けて、PRE信号を高レベルにする(図11(o))。第1制御回路57は、PRE信号の低レベルを受けて、BLTデコーダ67およびセンスアンプジェネレータ69に制御信号CNT2を出力する。BLTデコーダ67は、BLT信号を高レベルにし、センスアンプからのデータの出力を停止する(図11(p))。センスアンプジェネレータ69は、MW信号、SW信号を低レベルにして(図11(q))、センスアンプを非活性化する(図11の「RESET」)。

【0067】さらに、最初の第1コマンドの取り込みから4クロック目に、次の読み出しサイクルの第1コマンドの取り込みが行われる。コマンドの入力を受けてACT信号は所定の期間高レベルになる(図11(r))。ACT信号の高レベルにより、PRE信号が低レベルになり、ビット線のプリチャージ動作が行われる(図11(s))。すなわち、プリチャージ動作は、次サイクルの第1コマンドに合わせてチップ内部で自動的に行われる。

【0068】このとき、メモリ動作部23、および入出力部25では、最初の読み出しサイクルの読み出し動作が行われている。デコード部21、メモリ動作部23、および入出力部25は、それぞれ独立して動作することができるため、このようなパイプライン動作が可能になる。この後、4クロック毎に次の読み出しサイクルの第

1 コマンドの取り込みが行われる。

【0069】なお、図11に示したタイミング図では、4つのバンクのうち1つについての動作を示している。実際には、2クロックおきに2つのバンクを交互にアクセスすることで、読み出しデータが各クロックに同期して間断なく出力される。次に、書き込み動作について説明する。書き込み動作では、第2コマンドでのアドレスの取り込みまでは、上述した読み出し動作とほぼ同一の動作が行われる。

【0070】先ず、図3に示したように、待機状態中に第1コマンドとしてWRAコマンドを受けると、チップの状態は活性状態Wになる。このとき、同時に上位の書き込みアドレス (BA1-BA0、A14-A0) が取り込まれる。この後、第2コマンドとしてLALコマンドを取り込むと、制御は書き込み動作モードに移行する。同時に、下位の書き込みアドレス (A8-A0)、書き込みデータ長 (WBL0、WBL1) が取り込まれる。また、CLK信号に同期して、書き込みデータ (DQ15-DQ0) が連続して取り込まれる。

【0071】取り込み回数は、モードレジスタに設定されたバースト長を最大値とする。実際の取り込み回数は、第2コマンドと同時に取り込んだ書き込みデータ長の情報に従って行われる。例えば、バースト長が「4」のときに、書き込みデータ長として取り込んだWBL0、WBL1がそれぞれ低レベル、高レベルのときには、表3に示したように、取り込み回数が2回になる。第2コマンドと同時に取り込んだ書き込みデータ長に基づいて、書き込みデータ長制御回路85により、取り込み回数の制御が直接行われるため、複数のデータを連続的に取り込む場合に、複雑な制御を行うことなく書き込みデータ長の制御が行われる。書き込みデータ長の制御は、入出力部25の制御のみで行えるため、第2コマンドの入力時に情報を取り込むことで、余裕をもって書き込み動作に連動した制御が行われる。

【0072】連続して取り込んだ書き込みデータは、図10に示したデータ入力バッファ83を介して、順次データコンバータ79に供給される。データコンバータ79は、取り込んだデータを直列並列変換する。また、データコンバータ79は、変換されたデータを書き込みデータWDATAとしてメモリ動作部23に出力する。メモリ動作部23は所定のメモリセルにデータを書き込む動作を行う。

【0073】ここで、入出力部25およびメモリ動作部23は、設定された取り込み回数だけ動作する。動作後、書き込み動作モードが終了し、制御は待機状態に移行する。すなわち、書き込みが不要なデータ (指定されたデータ長より長い部分) については、書き込み制御を行わないため、書き込み動作の制御時間が節約される。この結果、次のサイクルの第1コマンドの入力時期が早められる。

【0074】次に、モードレジスタ設定モードについて

説明する。モードレジスタ設定モードへの移行は、活性状態R時に、第2コマンドとしてMRSコマンドを受けることで行われる。モードレジスタ設定モードに移行する際には、MRSコマンドの取り込みと同時に、BA0-BA1信号、A14-A0信号からモードレジスタに設定する内容を取り込む。内部動作を伴わないモードレジスタ設定モードでは、第2コマンドの入力を受けてから制御を開始しても、所定の期間内に制御を完了することが可能である。第1コマンドの入力時に、モードレジスタに設定する内容を取り込まなくてよいと、第2コマンドの入力まで、設定内容を保持する必要がなく、制御回路が複雑になることが防止される。

【0075】次に、オートリフレッシュモードについて説明する。オートリフレッシュモードへの移行は、活性状態W時に、第2コマンドとしてREFコマンドを受けることで行われる。オートリフレッシュモードでは、外部に対してデータの入出力を行う必要がないため、第2コマンドの入力を受けてから制御を開始しても、所定の期間内に制御を完了することが可能である。

【0076】チップは、REFコマンドを受けると、第1コマンドの入力により選択されていた主ワード線MWL、副ワード線SWLを非選択にする制御を行う。この後、チップは、図5のリフレッシュカウンタ43が生成するアドレスに対応する主ワード線MWL、副ワード線SWLを選択する制御を行う。このため、リフレッシュ動作が確実に行われる。

【0077】次に、セルフリフレッシュモードについて説明する。セルフリフレッシュモードへの移行は、オートリフレッシュモード時に、PD信号が低レベルにされることで行われる。すなわち、コマンドの入力とは別にPD信号の監視を行うことで、オートリフレッシュモード中にセルフリフレッシュモードに移行することが可能になる。

【0078】オートリフレッシュとセルフリフレッシュとの違いは、リフレッシュタイミングを外部から与えるか、自ら生成するかだけである。リフレッシュカウンタ43の制御およびリフレッシュ動作の制御は同一である。このため、セルフリフレッシュモードへの移行を、オートリフレッシュモードから連続的に行うようにすることで、移行の制御が円滑かつ短時間に行われる。

【0079】次に、低消費電力モードについて説明する。低消費電力モードへの移行は、待機状態時に、PD信号が低レベルにされることで行われる。すなわち、コマンドの入力とは別にPD信号の監視を行うことで、待機状態中に低消費電力モードに移行することが可能になる。低消費電力モードは、アクセス動作に直接関係がなくチップの状態の一つである。この低消費電力モードへの移行の制御が、待機状態時にPD信号を受けることで行われるため、使い勝手が向上される。

【0080】以上、この実施形態の半導体記憶装置の動

作制御方法および半導体記憶装置では、動作モードの決定に必要な情報を2回に分けて取り込んだ。このため、コマンドの入力の必要な端子数を低減することができる。本実施形態では、待機状態、読み出し動作モード、書き込み動作モード、モードレジスタ設定モード、オートリフレッシュモードの5つのモードを、チップセレクト信号/CS、ファンクション信号FNで制御することができる。なお、コマンドの入力に専用の端子を設けている場合には、端子数を低減することができる。このため、入力パッド、入力回路等の回路を低減し、チップサイズを低減することができる。端子数が低減されるため、端子数の制約によりパッケージサイズが大型化することを防止できる。

【0081】第1コマンドの入力で、動作モードの絞り込みを行い、かつ、書き込み動作モードと読み出し動作モードとを区別した。そして、第1コマンドの入力後に、書き込み動作モードと読み出し動作モードとに共通する回路の動作を開始した。したがって、予め、書き込み動作と読み出し動作とに必要な回路の動作を開始することができ、アクセス時間を高速にすることができる。

【0082】第1コマンドの入力時に、書き込み動作または読み出し動作に必要なアドレスの一部を取り込み、第2コマンドの入力により決定した動作モードが、書き込み動作モードまたは読み出し動作モードのときに、書き込み動作または読み出し動作に必要な残りのアドレスを取り込んだ。このため、書き込み動作または読み出し動作に必要なアドレスを2回に分けて取り込むことができ、アドレス端子の数を大幅に低減することができる。この結果、アドレスパッド、アドレス入力回路等が低減され、チップサイズが低減される。端子数が低減されるため、パッケージサイズが端子数の制約により大型化することを防止できる。

【0083】活性状態W時に、第2コマンドとしてREFコマンドを受けたときに、オートリフレッシュモードに移行する制御を行った。オートリフレッシュモードでは、外部に対してデータの入出力を行う必要がないため、第2コマンドの入力を受けてから制御を開始しても、所定の期間内に制御を完了することができる。活性状態R時に、第2コマンドとしてMRSコマンドを受けたときに、モードレジスタ設定モードに移行する制御を行った。内部動作を伴わないモードレジスタ設定モードでは、第2コマンドの入力を受けてから制御を開始しても、所定の期間内に制御が完了することができる。

【0084】また、第1コマンドの入力時に、モードレジスタ49に設定する内容を取り込み、取り込んだ内容を保持する必要がないため、制御回路が複雑になることを防止できる。コマンドの入力とは別にPD信号の監視を行うことで、動作モードの移行を制御した。このため、例えば、オートリフレッシュモード中にセルフリフレッシュモードに移行することができ、待機状態中に低消費

電力モードに移行することができる。

【0085】オートリフレッシュモード時に、PD信号の低レベルを受けたときに、セルフリフレッシュモードに移行する制御を行った。このため、セルフリフレッシュモードへの移行を、オートリフレッシュモードから連続的に行うことができ、移行の制御を円滑かつ短時間に行うことができる。待機状態中に、PD信号の高レベルを受けたときに、待機状態を保持する制御を行った。このため、PD信号が低レベルを監視することで、待機状態中に、コマンドの入力を行うことなく別の動作モードに移行することができる。

【0086】待機状態時に、PD信号の低レベルを受けたときに、低消費電力モードに移行する制御を行った。このため、アクセス動作に直接関係のない低消費電力モードへの移行を容易に行うことができ、使い勝手を向上することができる。第1コマンドの取り込みと同時に、主ワード線MWL、副ワード線SWLの選択に必要なアドレスを取り込んだ。このため、第1コマンドを取り込んだ後、第2コマンドの入力を待たずにメモリ動作部23を動作し、所定の主ワード線MWLおよび副ワード線SWLを選択することができる。したがって、読み出し動作時には、第1コマンドの取り込みだけで、予め、所定のメモリセルに記憶されているデータをビット線に取り出すことができ、アクセス時間を高速にすることができる。書き込み動作においても、第1コマンドの取り込みだけで、予め、書き込みが予想されるメモリセルとビット線とを接続しておくことができ、アクセス時間を高速にすることができる。

【0087】オートリフレッシュモードに移行するときに、第1コマンドの入力により選択されていた主ワード線MWL、副ワード線SWLを非選択にし、リフレッシュカウンタ43が生成するアドレスに対応する主ワード線MWL、副ワード線SWLを選択した。このため、確実にリフレッシュ動作を行うことができる。制御信号バッファ31は、第1コマンドを取り込んだ次のCLK信号の立ち上がりエッジで、第2コマンドの取り込みを行った。このため、第2コマンドの入力時に得られる情報を、第1コマンドの入力後から短時間で制御に反映することができる。この結果、コマンドの入力を2回に分けて行ったときに、第2コマンドに対応する制御の遅れを最小限にすることができる。

【0088】第1コマンドを取り込んだ後、コラムデコード71は、第2コマンドの入力により生成されるプリデコード信号PDECCを受ける前に、制御信号CNT2を受け、NANDゲート71cを活性化した。このため、コラムデコード71の動作を高速にすることができる。書き込みデータ長制御回路85により、書き込みデータ長に対応する取り込み回数の制御をデータの書き込み時に直接行った。このため、複数のデータを連続的に取り込む場合に、複雑な制御を行うこと必要な書き込みデータのみ

を取り込むことができる。書き込みデータのデータ長の制御は、入出力部25のみで行うことができるため、第2コマンドの入力時に情報を取り込むだけで、確実に制御を行うことができる。

【0089】なお、図12は、メモリ動作部23の別の構成例を示している。このメモリ動作部23は、書き込みバッファ87と、書き込みアドレスバッファ89a、89bとを備えている。他の回路は、図7に示したものと同一である。書き込みバッファ87は、書き込みデータWDATAを受け、所定の制御信号CNT2にしたがい取り込んだデータを一時保持するとともに、リード/ライトバッファ75に出力する回路である。書き込みアドレスバッファ89a、89bは、所定の制御信号CNT2を受け、プリデコーダ59a、59bを制御し、プリデコーダ59a、59bに供給されるバンクアドレスB-ADDを一時保持する回路である。

【0090】図12に示したメモリ動作部23では、前回の書き込み動作モード時に取り込んだ書き込みデータおよび書き込みアドレスを使用して、書き込み動作を行うことができる。この場合には、書き込み動作時に、前回取り込んだ書き込みアドレスおよび書き込みデータを使用して、書き込み動作を開始することができ、書き込みサイクルを早く終了することができる。このため、書き込み動作の後に読み出し動作を行う場合にも、読み出しサイクルの回路動作を早く開始することができる。

【0091】図13は、本発明の半導体記憶装置の第2の実施形態を示している。この実施形態は、請求項9および請求項10に対応している。第1の実施形態と同一の回路・信号については、同一の符号を付し、これら回路・信号については、詳細な説明を省略する。この実施形態では、デコード部91が第1の実施形態と相違している。その他の構成は、第1の実施形態と同一である。

【0092】デコード部91は、クロックバッファ29、取込制御回路92、制御信号バッファ31a、パワーダウンスラッチ33、行アドレスバッファ35a、列アドレスバッファ37a、コマンドデコーダ93、リフレッシュカウンタ43、行アドレスラッチ45、列アドレスラッチ47、モードレジスタ49、およびモード制御回路51を備えている。

【0093】制御信号バッファ31a、行アドレスバッファ35a、および列アドレスバッファ37aは、第1の実施形態と異なり、内部クロック信号CLKINに非同期で各信号を受け取る回路である。取込制御回路92は、内部クロック信号CLKINおよびコマンドデコーダ93からのフィードバック信号FBを受け、取込制御信号ACON1、ACON2を出力している。コマンドデコーダ93は、内部クロック信号CLKIN、取込制御信号ACON1、ACON2、内部信号CIN、内部パワーダウンスラッチPDIN、および内部行アドレス信号ADRINOを受けてコマンドを解釈し、他の回路を制御する制御信号CNT1および活性化信号ACT1、ACT2

を出力している。上記以外の回路構成およびそれらの接続関係は、第1の実施形態と同一である。

【0094】図14は、制御信号バッファ31a、行アドレスバッファ35a、およびコマンドデコーダ93の詳細を示している。制御信号バッファ31aおよび行アドレスバッファ35aは、信号をそれぞれ受ける複数の入力回路31b、35bを有している。入力回路31b、35bから出力される内部信号CINおよび内部行アドレス信号ADRINOは、コマンドデコーダ93の活性化信号ACT1、ACT2にそれぞれ対応する取込回路94a、取込回路94bに出力されている。

【0095】コマンドデコーダ93は、活性化信号ACT1に対応する3つの取込回路94aおよびデコード回路95aと、活性化信号ACT2に対応する3つの取込回路94bおよびデコード回路95bとを有している。各取込回路94aは、取込制御信号ACON1の活性化時に活性化され、内部クロック信号CLKINに同期して内部信号CINまたは内部行アドレス信号ADRINOを取り込み、取り込んだ信号をデコード回路95aに出力している。各取込回路94bは、取込制御信号ACON2の活性化時に活性化され、内部クロック信号CLKINに同期して内部信号CINまたは内部行アドレス信号ADRINOを取り込み、取り込んだ信号をデコード回路95bに出力している。デコード回路95a、95bは、デコード結果を、活性化信号ACT1、ACT2として出力している。デコード回路95aは、フィードバック信号FBを取込制御回路92に出力している。

【0096】この実施形態の半導体記憶装置では、まず、非動作時に、取込制御回路92は、フィードバック信号FBの非活性化を受け、取込制御信号ACON1を活性化し、取込制御信号ACON2を非活性化している。そして、最初のコマンドの入力時に、コマンドデコーダ93は、取込制御信号ACON1の活性化を受け、取込回路94aを活性化し、デコード結果を活性化信号ACT1として所定の回路に出力する。このとき、取込回路94bは非活性化されている。すなわち、最初のコマンドに対応するチップセレクト信号/CS、ファンクション信号FN、および行アドレス信号A0は、デコード回路95aによりデコードされる。デコード回路95aは、活性化信号ACT1の出力とほぼ同じタイミングでフィードバック信号FBを活性化する。

【0097】取込制御回路92は、フィードバック信号FBの活性化を受け、取り込み制御信号ACON2を活性化し、取込制御信号ACON1を非活性化する。コマンドデコーダ93は、取込制御信号ACON2の活性化を受け、取込回路94bを活性化し、デコード結果を活性化信号ACT2として所定の回路に出力する。このとき、取込回路94aは非活性化されている。すなわち、次のコマンドに対応するチップセレクト信号/CS、ファンクション信号FN、および行アドレス信号A0は、デコード回路95bによりデコードされる。取込回路94a、94bは、内部

クロック信号CLKINのタイミングの異なるエッジに同期して、それぞれ信号を取り込む。

【0098】この実施形態では、活性化信号ACT1、ACT2に応じて、取込回路93a、93b、およびデコード回路93c、93dをそれぞれ別に構成することで、複雑なコマンド体系を有する半導体記憶装置においても、コマンド制御回路を容易に設計できる。この結果、設計の検証も容易になる。同一のクロック信号により信号を直接取り込むため、取込制御が高速になる。この結果、内部回路を動作を早く開始でき、アクセス時間を短縮できる。コマンドの切り替えを、クロック信号により制御せず、よりチップ内部の取込部で行うため、高い周波数で動作する半導体記憶装置のコマンド切り替えにも容易に対応できる。

【0099】また、取込回路94a、94bの共通のトリガ信号である内部クロック信号CLKINは、外部からクロックバッファ29を介して直接供給されている。クロックバッファ29は、他の制御信号で制御されていないため、クロック信号CLKに対する内部クロック信号CLKINの遅れは最小限になる。この結果、取込回路94a、94bの取込制御が高速にでき、コマンドデコーダ93および内部回路を動作を早く開始できる。したがって、アクセス時間を短縮できる。

【0100】図15は、本発明の半導体記憶装置の第3の実施形態におけるデコード部の詳細を示している。この実施形態は、請求項9および請求項11に対応している。第1および第2の実施形態と同一の回路・信号については、同一の符号を付し、これら回路・信号については、詳細な説明を省略する。この実施形態では、クロックバッファ96およびコマンドデコーダ97が第2の実施形態と相違している。その他の構成は、第2の実施形態と同一である。

【0101】クロックバッファ96は、外部からクロック信号CLKを受け、受けたクロック信号CLKを、フィードバック信号FBの活性化時に取込信号ACLK1として出力し、フィードバック信号FBの非活性化時に取込信号ACLK2として出力している。取込信号ACLK1は、フィードバック信号FBの非活性化時には出力されない。同様に、取込信号ACLK2は、フィードバック信号FBの活性化時には出力されない。

【0102】コマンドデコーダ97は、取込信号ACLK1を受ける3つの取込回路98aおよびデコード回路95aと、活性化信号ACT2に対応し、取込信号ACLK2を受ける3つの取込回路98bおよびデコード回路95bとを有している。取込回路98aおよびデコード回路95aは、活性化信号ACT1に対応して形成され、取込回路98bおよびデコード回路95bは、活性化信号ACT2に対応して形成されている。各取込回路98aは、取込信号ACLK1に同期して内部信号CINまたは内部行アドレス信号ADRINを取り込み、取り込んだ信号をデコード回路95a

に出力している。各取込回路98bは、取込信号ACLK2に同期して内部信号CINまたは内部行アドレス信号ADRIN0を取り込み、取り込んだ信号をデコード回路95bに出力している。デコード回路95a、95bは、第2の実施形態と同一である。

【0103】この実施形態では、活性化信号ACT1、ACT2に対応する取込回路98a、98bが、それぞれ異なる取込信号ACLK1、ACLK2に同期して信号を取り込む。各取込信号ACLK1、ACLK2は、それぞれ信号を取り込む取込回路98a、98bにのみ供給されており、これらの配線の負荷（寄生容量）は、最小限にされている。すなわち、この実施形態では、取込回路98a、98bの数が多の場合に、信号を取り込むクロック信号を複数に分けることで、各クロック信号の配線の負荷（寄生容量）を低減することができる。特に、コマンドの入力端子の数が多の場合に有効である。

【0104】次に、本発明の半導体記憶装置の動作制御方法の第2の実施形態および半導体記憶装置の第4の実施形態を説明する。この実施形態は、請求項1ないし請求項4、請求項7ないし請求項10に対応している。上述した実施形態と同一の回路・信号については、同一の符号を付し、これら回路・信号については、詳細な説明を省略する。

【0105】この実施形態の半導体記憶装置は、内部回路を3ステージに分けて、それぞれをバイブライン動作させる機能を有したFCRAMとして形成されている。このFCRAMの状態遷移図は、図3と同一である。すなわち、FCRAMは、第1コマンドとしてRDAコマンドを受けたときに活性状態Rに移行し、第1コマンドとしてWRAコマンドを受けたときに活性状態Wに移行する。FCRAMは、活性状態Rにおいて、第2コマンドとしてLALコマンドおよびMRSコマンドを受けたときに、それぞれ、読み出し動作モード、モードレジスタ設定モードに移行する。FCRAMは、活性状態Wにおいて、第2コマンドとしてLALコマンドおよびREFコマンドを受けたときに、それぞれ、書き込み動作モード、オートリフレッシュモードに移行する。

【0106】図16は、本発明が適用されたFCRAMの全体構成を示している。FCRAMは、デコード部100、メモリ制御部102、4つのメモリ動作部104、および入出力部106で構成されている。メモリ動作部104は、一般に“バンク”とも称され、それぞれ第1の実施形態と同一のメモリコア部27を有している。図中の太い矢印は、複数本からなる信号線を示している。

【0107】デコード部100は、クロック信号CLK、コマンド信号CMD、行アドレス信号RAD、列アドレス信号CADを受け、RDAコマンド、WRAコマンド、LALコマンド、REFコマンド、MRSコマンドにそれぞれ対応する活性化信号RDACT、WRACT、LALACT、REFACT、MRAC、および内部行アドレス信号IRAD、内部列アドレス信号ICADをメモリ

制御部102に出力している。メモリ制御部102は、デコード部100からの信号を受け、活性化信号ACT2および内部行アドレス信号IRAD2、内部列アドレス信号ICAD2をメモリ動作部104に出力している。また、メモリ制御部102は、出力禁止信号IODISを入出力部106に出力している。入出力部106は、チップの外部に対してデータ入出力信号DQを入出力し、メモリ動作部104に対してデータ信号DATAを入出力している。

【0108】図17は、デコード部100および入出力部106の詳細を示している。デコード部100は、クロックバッファ96、コマンドラッチ108、第1コマンド検出部110、第2コマンド検出部112、行アドレスバッファ114、列アドレスバッファ116、行アドレスラッチ118、列アドレスラッチ120を備えている。入出力部106は、入出力データバッファ122および入出力データラッチ124を備えている。

【0109】クロックバッファ96は、図15と同一の回路である。クロックバッファ96は、フィードバック信号FBにより制御され、最初のコマンドの入力時に取込信号ACLK1を出力し、2番目のコマンドの入力時に取込信号ACLK2を出力する。コマンドラッチ108は、コマンド信号CMDを受け、受けた信号を内部コマンド信号ICMDとして出力している。

【0110】第1コマンド検出部110は、読み出しコマンド検出部110aおよび書き込みコマンド検出部110bを備えている。読み出しコマンド検出部110aは、取込信号ACLK1に同期して内部コマンド信号ICMDを取り込み、取り込んだ信号がRDAコマンドのときに活性化信号RDACTを活性化する。書き込みコマンド検出部110bは、取込信号ACLK1に同期して内部コマンド信号ICMDを取り込み、取り込んだ信号がWDAコマンドのときに活性化信号WRACTを活性化する。

【0111】第2コマンド検出部112は、動作コマンド検出部112a、リフレッシュコマンド検出部112b、モードレジスタコマンド検出部112cを備えている。動作コマンド検出部112aは、取込信号ACLK2に同期して内部コマンド信号ICMDを取り込み、取り込んだ信号がLALコマンドのときに活性化信号LALACTを活性化する。リフレッシュコマンド検出部112bは、取込信号ACLK2に同期して内部コマンド信号ICMDを取り込み、取り込んだ信号がREFコマンドのときに活性化信号REFACTを活性化する。モードレジスタコマンド検出部112cは、取込信号ACLK2に同期して内部コマンド信号ICMDを取り込み、取り込んだ信号がMRSコマンドのときに活性化信号MRACTを活性化する。

【0112】行アドレスバッファ114は、行アドレス信号RADを受け、受けた信号を行アドレスラッチ118に出力している。行アドレスラッチ118は、取込信号ACLK1に同期してアドレス信号を取り込み、取り込んだ信号を内部行アドレス信号IRADとして出力している。列

アドレスバッファ116は、列アドレス信号CADを受け、受けた信号を列アドレスラッチ120に出力している。列アドレスラッチ120は、取込信号ACLK2に同期してアドレス信号を取り込み、取り込んだ信号を内部列アドレス信号ICADとして出力している。

【0113】入出力データバッファ122は、チップの外部に対してデータ入出力信号DQを入出力するとともに、これ等信号を入出力データラッチ124に対して入出力している。入出力データラッチ124は、入出力データバッファ122から供給される直列のデータ信号を並列データに変換し、メモリ動作部104から供給される並列のデータ信号DATAを直列データに変換する機能を有している。入出力データラッチ124は、出力禁止信号IODISを受けたときに、データ信号の入出力データバッファ122への出力を停止する。

【0114】図18は、メモリ制御部102およびメモリ動作部104の詳細を示している。メモリ制御部102は、RASジェネレータ126、リフレッシュ制御回路128、リフレッシュカウンタ43、モードレジスタ130およびその制御回路132、行アドレススイッチ134、列アドレススイッチ136、データスイッチ138を備えている。メモリ動作部104は、第1制御回路140、ブロックデコード142、行アドレスラッチ144、列アドレスラッチ146、プリデコード148、プリデコード150、第2制御回路152、リード/ライトバッファ154、ワードデコード63、1/4デコード65、BLTデコード67、センスアンプジェネレータ69、コラムデコード71、およびメモリコア部27を備えている。

【0115】RASジェネレータ126は、活性化信号RDACT、WRACT、LALACTを受け、制御信号をリフレッシュ制御回路128、リフレッシュカウンタ43、モードレジスタ130、制御回路132、および後述する第1制御回路140にそれぞれ出力している。RASジェネレータ126は、図7に示したRASジェネレータ53と同様の機能を有している。

【0116】リフレッシュ制御回路128は、RASジェネレータ126からの制御信号および活性化信号REFACTを受け、制御信号をRASジェネレータ126に出力している。すなわち、活性化信号REFACTが活性化されたとき（オートリフレッシュモード時）に、リフレッシュ制御回路128は、RASジェネレータ126を制御する。リフレッシュカウンタ43は、RASジェネレータ126からの制御信号を受けてカウントアップし、カウンタの値であるリフレッシュアドレスREFADDを出力している。

【0117】モードレジスタ130、制御回路132は、RASジェネレータ126からの制御信号および活性化信号MRACTを受け、活性化信号MRACTの活性化時に、出力禁止信号IODISを出力している。モードレジスタ130は、図示しないデータ信号線に接続されており、モー

ドレジスタ130は、データ信号線を介して供給されるデータ信号により設定される。

【0118】行アドレススイッチ134は、内部行アドレス信号IRADまたはリフレッシュアドレスREFADDのいずれかを行アドレスラッチ144に出力している。列アドレススイッチ136は、内部列アドレス信号ICADを受け、受けた信号を列アドレスラッチ146に出力している。また、行アドレススイッチ134および列アドレススイッチ136のスイッチ動作により、アドレス信号は、4つのメモリ動作部104のいずれかに供給される。

【0119】データスイッチ138は、データ信号(DA)を4つのメモリ動作部104のいずれかに対して入出力する回路である。第1制御回路140は、RASジェネレータ126からの制御信号を受け、ワードデコーダ63等を制御する回路である。第1制御回路140は、図7に示した第1制御回路57と同様の機能を有している。行アドレスラッチ144および列アドレスラッチ146は、メモリ動作部104毎にアドレス信号をラッチする回路である。

【0120】ブロックデコーダ142、プリデコーダ148、150、第2制御回路152、およびリード/ライトバッファ154は、図7に示したブロックデコーダ61、プリデコーダ59a、59b、第2制御回路73、およびリード/ライトバッファ75と同一の機能を有している。ワードデコーダ63、1/4デコーダ65、BLTデコーダ67、センスアンプジェネレータ69、コラムデコーダ71、およびメモリコア部27は、図7と同一である。

【0121】図19は、読み出し動作時の主要な信号のタイミングを示している。なお、図11と同一の動作は、説明を省略する。この例では、読み出し動作とモードレジスタの設定とが交互に実行される。

【0122】まず、図17のコマンドラッチ108は、第1コマンドとしてRDAコマンドを取り込む。第1コマンドの取り込みと同時に、行アドレス信号RADが取り込まれる。RDAコマンドは、内部コマンド信号ICMDとして第1コマンド検出部110、第2コマンド検出部112に供給される。ここで、第1コマンドの取り込み時、取込信号ACLK1が出力され、取込信号ACLK2は出力されない。このため、第2コマンド検出部112が内部コマンド信号ICMDを取り込むことはない。

【0123】第1コマンド検出部110の読み出しコマンド検出部110aおよび書き込みコマンド検出部110bは、取込信号ACLK1に同期して内部コマンド信号ICMD(RDAコマンド)を取り込む。読み出しコマンド検出部110aは、RDAコマンドが供給されたことを検出し、活性化信号RDACTを活性化する(図19(a))。書き込みコマンド検出部110bは、WDAコマンドが供給されたことを検出できないため、活性化信号WRACKの非活性化

状態を保持する。この後、メモリ制御部102およびメモリ動作部104は、活性化信号RDACTを受けて、図11と同様に動作する。すなわち、最初のコマンドが供給されることにより、ワード線選択信号RASZが活性化され、プリチャージ制御信号PREが非活性化される。

【0124】次に、コマンドラッチ108は、第2コマンドとしてLALコマンドを取り込む。第1コマンドの取り込みと同時に、列アドレス信号CADが取り込まれる。LALコマンドは、内部コマンド信号ICMDとして第1コマンド検出部110、第2コマンド検出部112に供給される。ここで、第2コマンドの取り込み時、取込信号ACLK2が出力され、取込信号ACLK1は出力されない。このため、第1コマンド検出部110が内部コマンド信号ICMDを取り込むことはない。

【0125】第2コマンド検出部112の動作コマンド検出部112a、リフレッシュコマンド検出部112b、およびモードレジスタコマンド検出部112cは、取込信号ACLK2に同期して内部コマンド信号ICMD(LALコマンド)を取り込む。動作コマンド検出部112aは、LALコマンドが供給されたことを検出し、活性化信号LALACTを活性化する(図19(b))。リフレッシュコマンド検出部112bおよびモードレジスタコマンド検出部112cは、REFコマンドおよびMRSコマンドが供給されたことを検出できないため、活性化信号REFACKおよび活性化信号MRACKの非活性化状態を保持する。この後、メモリ制御部102およびメモリ動作部104は、図11と同様に動作し、読み出し動作が実行される。

【0126】さらに、最初の第1コマンド取り込みから4クロック目に、コマンドラッチ108は、第1コマンドとしてRDAコマンドを取り込む。第1コマンドの取り込み後の動作は、上述した動作と同じである。

【0127】次に、コマンドラッチ108は、第2コマンドとしてMRSコマンドを取り込む。第2コマンド検出部112のモードレジスタコマンド検出部112cは、取込信号ACLK2に同期して内部コマンド信号ICMD(MRSコマンド)を取り込み、活性化信号MRACKを活性化する(図19(c))。図18の制御回路132は、活性化信号MRACKを受け、出力禁止信号IODISを非活性化する(波形は図示せず)。図17の入出力データラッチ124は、出力禁止信号IODISを受け、非活性化される。この結果、モードレジスタ設定モード時に、データ信号が外部に出力されることが防止される(図19(d))。この後、図示しないデータ線を介してモードレジスタの各ビットが設定される。

【0128】図20は、書き込み動作時の主要な信号のタイミングを示している。なお、図19と同一の動作は、説明を省略する。この例では、書き込み動作とオートリフレッシュ動作とが交互に実行される。

【0129】まず、図17のコマンドラッチ108は、第1コマンドとしてWRAコマンドを取り込む。第1コマ

ンドの取り込みに同期して、行アドレス信号RADが取り込まれる。第1コマンド検出部110の書き込みコマンド検出部110bは、取込信号ACK1に同期して内部コマンド信号ICMD (WRAコマンド) を取り込み、活性化信号WRACTを活性化する (図20(a))。

【0130】次に、コマンドラッチ108は、第2コマンドとしてLALコマンドを取り込む。第2コマンド検出部112の動作コマンド検出部112aは、取込信号ACK2に同期して内部コマンド信号ICMD (LALコマンド) を取り込み、活性化信号LALACTを活性化する (図20(b))。また、第2コマンドの取り込むクロック信号CLKの立ち上がりエッジ、およびその後のクロック信号CLKのエッジに同期して、書き込み信号が取り込まれる。そして、メモリ制御部102およびメモリ動作部104が動作し、書き込み動作が実行される。

【0131】さらに、最初の第1コマンド取り込みから4クロック目に、コマンドラッチ108は、第1コマンドとしてWRAコマンドを取り込む。第1コマンドの取り込み後の動作は、上述した動作と同じである。次に、コマンドラッチ108は、第2コマンドとしてREFコマンドを取り込む。第2コマンド検出部112のリフレッシュコマンド検出部112bは、取込信号ACK2に同期して内部コマンド信号ICMD (REFコマンド) を取り込み、活性化信号REFACTを活性化する (図20(c))。活性化信号REFACTの活性化により、オートリフレッシュ動作が実行される。また、活性化信号REFACTの活性化を受けてコラム選択信号CLの活性化が禁止され、不正なデータの書き込みが防止される。

【0132】以上、この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。特に、本発明は、内部回路を複数のステージに分け、各ステージをパイプライン処理することで読み出し動作および書き込み動作を実行するFCRAM等に適用することで、顕著な効果を得ることができる。

【0133】図21は、本発明の半導体記憶装置の動作制御方法の第3の実施形態および半導体記憶装置の第5の実施形態を示している。この実施形態は、請求項1ないし請求項10に対応している。上述した実施形態と同一の回路・信号については、同一の符号を付し、これら回路・信号については、詳細な説明を省略する。

【0134】この実施形態では、メモリ制御部158およびメモリ動作部160が図16と相違している。その他の構成は、図16と同一である。また、この実施形態のFCRAMは、データバス使用効率を向上するために、書き込みコマンドに対応して供給される書き込みデータを次の書き込みコマンドの供給時にメモリセルに書き込む“ディレイドライト”または“レイトライト”と称する機能を有している。

【0135】図22は、メモリ制御部158およびメモリ動作部160の詳細を示している。メモリ制御部15

8は、図18と異なるリフレッシュ制御回路162を備えている。メモリ動作部160は、図18と異なるリード/ライトバッファ164を備えている。また、メモリ動作部160は、新たにI/Oスイッチ166および書き込みデータバッファ168を備えている。なお、特に図示していないが、メモリ動作部160は、書き込みアドレスを保持する書き込みアドレスバッファを有している。

【0136】リフレッシュ制御回路162は、RASジェネレータ126からの制御信号、活性化信号REFACT、および書き込みデータバッファ168からの書き込みデータ有効信号WENを受け、制御信号をRASジェネレータ126に出力し、データバッファ168に書込制御信号WCONを出力している。

【0137】書き込みデータ有効信号WENは、書き込みデータバッファ168に有効な書き込みデータDBUFが存在するときに、その情報 (高レベル) をリフレッシュ制御回路162に伝達するための信号である。後述するように、リフレッシュ制御回路162は、書き込みデータ有効信号WENが高レベルの期間にリフレッシュコマンドREFを受けたとき、リフレッシュ動作を実行しない。リフレッシュ制御回路162は、書き込みデータ有効信号WENが低レベルの期間にリフレッシュコマンドREFを受けたときのみ、リフレッシュ動作を実行する。

【0138】書込制御信号WCONは、リフレッシュコマンドREFを受けたときに出力される信号である。後述するように、書き込みデータバッファ168は、有効な書き込みデータDBUFが存在する状態で、書き込み制御信号WCONを受けたときのみ、このデータDBUFをリード/ライトバッファ164に出力する。そして、書き込み動作が実行される。

【0139】I/Oスイッチ166は、読み出し動作時に、メモリコア部27から読み出されるデータまたは書き込みデータバッファ168に保持されているデータDBUFのいずれかをデータスイッチ138に伝達する回路である。すなわち、書き込み動作により、書き込みデータおよび書き込みアドレスが書き込みデータバッファ168および図示しない書き込みアドレスバッファに保持された直後に、同一のアドレスに対して読み出し動作が実行された場合、書き込みデータバッファ168に保持されているデータDBUFが、I/Oスイッチ166およびデータスイッチ138を介して読み出しデータとして外部に出力される。

【0140】図23は、書き込み動作時の主要な信号のタイミングを示している。なお、図20と同一の動作は、説明を省略する。この例では、書き込み動作およびオートリフレッシュ動作が実行された後、書き込み動作が連続して実行される。最初の書き込み動作時に、書き込みデータバッファ168に保持されている有効な書き込みデータDBUFがメモリコア部27に書き込まれる (図23(a))。また、書き込みデータバッファ168は、

新たに供給された書き込み用のデータ入出力信号DQを取り込む(図23(b))。なお、リフレッシュ制御回路162は、有効な書き込みデータDBUFを保持しているため、高レベルの書き込みデータ有効信号WENを出力している(図23(c))。

【0141】次に、WRAコマンドおよびREFコマンドが供給される(図23(d))。リフレッシュ制御回路162は、活性化信号REFACTおよび高レベルの書き込みデータ有効信号WENを受け、書き込み制御信号WCONを出力する(波形は図示せず)。書き込みデータバッファ168は、書き込み制御信号WCONを受け、保持しているデータDBUFをリード/ライトバッファ164に出力する。すなわち、書き込みデータバッファ168に有効なデータDBUFが存在する場合、FCRAMは、REFコマンドを受けたときに、まず書き込み動作を実行する。

【0142】また、書き込みデータバッファ168は、書き込みデータ有効信号WENを低レベルにする(図23(e))。この後、活性化信号REFACTを受けてRASZが活性化し、リフレッシュ動作が実行される(図23(f))。図中、ビット線に波形に示した“W”は書き込み動作を示し、“REF”はリフレッシュ動作を示している。また、“(REF)”は、ワード線選択信号RASZの活性化によりワード線が選択され、自動的にリフレッシュ動作が実行されることを示している。

【0143】次に、WRAコマンドおよびLALコマンドが供給される。このとき、書き込みデータバッファ168は、有効な書き込みデータを保持していないため(書き込みデータ有効信号WEN=低レベル)、メモリコア部27への書き込み動作は実行されない。すなわち、コラム線選択信号CLは、低レベルに保持される(図23(g))。また、書き込みデータバッファ168は、外部から供給された書き込み用のデータ入出力信号DQを取り込み(図23(h))、高レベルのWENを出力する(図23(i))。さらに、WRAコマンドおよびLALコマンドが供給され、書き込み動作が実行される。

【0144】図24は、書き込み動作時の主要な信号のタイミングの別の例を示している。なお、図23と同一の動作は、説明を省略する。この例では、書き込み動作の後、オートリフレッシュ動作が連続して2回実行され、さらに書き込み動作が実行される。最初の書き込み動作および最初のリフレッシュ動作は、図23と同一である。

【0145】次に、WRAコマンドおよびREFコマンドが供給される(図24(a))。このとき、書き込みデータバッファ168は、有効なデータを保持していないため、低レベルの書き込みデータ有効信号WENを出力している(図24(b))。このため、リフレッシュ制御回路162は、活性化信号REFACTおよび低レベルの書き込みデータ有効信号WENを受け、リフレッシュ動作を実行する。また、リフレッシュ制御回路162は、前回のリフレッ

シュ動作時に、書き込み制御信号WCONを非活性化している(波形は図示せず)。この結果、書き込みデータバッファ168は、非活性化された書き込み制御信号WCONを受けるため、書き込みデータバッファ168に保持されている無効な書き込みデータDBUFは、出力されない(図24(c))。

【0146】この後、WRAコマンドおよびLALコマンドが供給され、書き込み動作が実行される。

【0147】以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、この実施形態では、ディレイドライト機能を有するFCRAMにも、容易に本発明を適用できる。さらに、2番目のコマンドの入力により決定した動作モードが、オートリフレッシュモードのとき、書き込みデータバッファ168に有効なデータが存在する場合には、まず、書き込み動作を実行し、その後、リフレッシュ動作を実行した。このため、最初のコマンドの入力により動作を開始した回路を利用して、効率よく書き込み動作ができる。

【0148】なお、上述した第1の実施形態では、書き込みデータ用のデータコンバータ79を制御する書き込みデータ長制御回路85を設け、書き込みデータのデータ長を制御した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、読み出し動作用のデータコンバータ77を制御する読み出しデータ長制御回路を設け、読み出しデータのデータ長を制御してもよい。この場合には、第2コマンドの入力時に決定した動作モードが、読み出し動作モードのときに、所定の端子に供給されている信号が、読み出しデータのデータ長を指定する情報として取り込まれる。そして、取り込んだ情報に基づいて、直接、読み出しデータ長の制御が行われる。このため、複数のデータを連続的に出力する場合に、複雑な制御を行うことなく出力データ長を変更することができる。また、読み出しが不要なデータ(指定されたデータ長より長い部分)については、出力制御を行う必要がないため、読み出し動作の制御時間が節約される。この結果、次のサイクルの最初のコマンドの入力時期を早めることができる。

【0149】また、第2コマンドの入力時に決定した動作モードが、書き込み動作モードのときに、所定の端子に供給されている信号を、連続して供給される書き込みデータの一部分を無効にするマスク情報として取り込み、取り込んだマスク情報に基づいて、書き込みデータの一部分をマスクする制御を行ってもよい。この場合には、第2コマンドの入力時に決定した動作モードが、書き込み動作モードのときに、所定の端子に供給されている信号が、連続して供給される書き込みデータの一部分を無効にするマスク情報として取り込まれる。そして、取り込んだマスク情報に基づいて、書き込みデータの一部分をマスクする制御が行われる。マスク情報を専用の端子で制御するためには、書き込み動作に合わせて、その都度専用

の端子から情報を取り込まなくてはならず、制御が複雑になる。第2コマンドの入力時にマスク情報を取り込むことで、複雑な制御を行うことなくマスク制御を行うことができる。

【0150】書き込みデータのマスク制御と同様に、読み出しデータのマスク制御を行ってもよい。また、上述した実施形態では、本発明をDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、SRAM、フラッシュメモリ等の半導体記憶装置に適用しても、同様の効果を得ることができる。

【0151】以上の実施形態において説明した発明を整理して以下の項を開示する。

(1) 請求項2記載の半導体記憶装置の動作制御方法において、動作モードに、動作状態の設定を行うモードレジスタ設定モードと、メモリセルに記憶されたデータを保持するデータ保持モードとのいずれかを少なくとも含み、2番目のコマンド(第2コマンド)の入力により決定した動作モードが、前記モードレジスタ設定モードまたは前記データ保持モードのときに、これ等動作モードに移行する制御を行うことを特徴とする。

【0152】この半導体記憶装置の動作制御方法では、内部動作を伴わないモードレジスタ設定モードでは、2番目のコマンドの入力を受けてから制御を開始しても、所定の期間内に制御が完了することが可能になる。同様に、データ保持モードでは、外部に対してデータの入出力を行う必要がないため、2番目のコマンドの入力を受けてから制御を開始しても、所定の期間内に制御が完了することが可能になる。

【0153】(2) 上記(1)の半導体記憶装置の動作制御方法において、2番目のコマンドの入力により決定した動作モードが、前記モードレジスタ設定モードのときに、アドレス端子に供給されている信号を、モードレジスタの各ビットを設定する情報として取り込むことを特徴とする。この半導体記憶装置の動作制御方法では、最初のコマンド(第1コマンド)の入力時に、アドレス端子に供給されている信号をモードレジスタを設定する情報として取り込まなくてよい。2番目のコマンドの入力まで、その情報を保持する必要がなく、制御回路が複雑になることが防止される。

【0154】(3) 上記(1)の半導体記憶装置の動作制御方法において、2番目のコマンドの入力により決定した動作モードが、前記データ保持モードのときに、その後、所定の端子に供給される信号が所定のレベルになったことを受けて、待機モードに移行する制御を行うことを特徴とする。この半導体記憶装置の動作制御方法では、2番目のコマンドの入力により決定した動作モードが、データ保持モードのときに、データ保持モードに移行する制御が行われる。その後、データ保持モード中に、所定の端子に供給される信号が所定のレベルにされ

ると、待機モードに移行する制御が行われる。コマンドの入力とは別に所定の端子の信号の監視とを行うことで、特定の動作モード中に、別の動作モードに移行することが可能なる。

【0155】(4) 上記(3)の半導体記憶装置の動作制御方法において、前記データ保持モードは、所定のアドレスを生成し、メモリセルに記憶されたデータのリフレッシュ動作を行うオートリフレッシュモードであり、前記待機モードは、所定のアドレスを順次に生成し、メモリセルに記憶されたデータのリフレッシュ動作を間隔をおいて連続して行うセルフリフレッシュモードであることを特徴とする。

【0156】この半導体記憶装置の動作制御方法では、オートリフレッシュモード中に、所定の端子に供給される信号が所定のレベルにされると、セルフリフレッシュモードに移行する制御が行われる。オートリフレッシュとセルフリフレッシュとの違いは、リフレッシュタイミングを外部から与えるか、自ら生成するかだけである。リフレッシュカウンタの制御およびリフレッシュ動作の制御は同一である。このため、セルフリフレッシュモードへの移行を、オートリフレッシュモードから連続的に行うことで、移行の制御が円滑かつ短時間に行われる。

【0157】(5) 請求項2記載の半導体記憶装置の動作制御方法において、所定の端子に供給される信号により、最初のコマンドの入力の取り込みを禁止する制御を行い、最初のコマンドの入力の取り込みが禁止状態のときに、所定の端子に供給される信号が所定のレベルになったことを受けて、待機モードに移行する制御を行うことを特徴とする。

【0158】この半導体記憶装置の動作制御方法では、所定の端子に供給される信号により、最初のコマンドの入力の取り込みが禁止され、チップは待機状態になる。待機状態のときに、所定の端子に供給される信号が所定のレベルにされると、待機モードに移行する制御が行われる。最初のコマンドの入力を禁止して待機状態を作り、所定の端子の信号の監視とを行うことで、待機状態中に、コマンドの入力を行うことなく別の動作モードに移行することが可能なる。

【0159】(6) 上記(5)の半導体記憶装置の動作制御方法において、前記待機モードは、所定の入力回路を非活性化する低消費電力モードであることを特徴とする。この半導体記憶装置の動作制御方法では、チップが待機状態のときに、所定の端子に供給される信号が所定のレベルにされると、低消費電力モードに移行する制御が行われる。低消費電力モードは、アクセス動作に直接関係がなくチップの状態の一つである。この低消費電力モードへの移行の制御が、端子に所定の信号を与えることで行われるため、使い勝手が向上される。

【0160】(7) 請求項4記載の半導体記憶装置の動作制御方法において、最初のコマンドの入力時に取り込

んだアドレスに対応するワード線を選択する制御を行うことを特徴とする。この半導体記憶装置の動作制御方法では、2番目のコマンドの入力を待たずに、ワード線を選択する制御が行われるため、アクセス時間が高速化される。

【0161】(8) 上記(7)の半導体記憶装置の動作制御方法において、動作モードに、所定のアドレスを生成しメモリセルに記憶されたデータのリフレッシュ動作を行うオートリフレッシュモードを含み、2番目のコマンドの入力時に決定した動作モードが、オートリフレッシュモードのときに、最初のコマンドの入力時に取り込んだアドレスに対応するワード線を非選択する制御を行い、内部で生成した前記所定のアドレスに対応するワード線を選択する制御を行うことを特徴とする。

【0162】この半導体記憶装置の動作制御方法では、2番目のコマンドの入力時に決定した動作モードが、オートリフレッシュモードのときに、最初のコマンドの入力時に取り込んだアドレスに対応するワード線が非選択される。次に、内部で生成したリフレッシュアドレスに対応するワード線が選択される。このため、ワード線を選択し直すことで、確実にリフレッシュ動作が行われる。

【0163】(9) 上記(7)の半導体記憶装置の動作制御方法において、前記ワード線は、主ワード線と該主ワード線から分岐された副ワード線とで構成され、最初のコマンドの入力時に取り込むアドレスにより、少なくとも副ワード線を特定し、選択する制御を行うことを特徴とする。この半導体記憶装置の動作制御方法では、最初のコマンドの入力時に取り込むアドレスにより、少なくとも副ワード線が特定され、選択される。このため、最初のコマンドの入力後に、2番目のコマンドを待たずに所定のメモリセルのアクセスに必要な回路を動作させることが可能になる。したがって、アクセス時間が高速化される。

【0164】(10) 請求項2記載の半導体記憶装置の動作制御方法において、各コマンドの入力の取り込みをクロックに同期して行うとともに、2番目のコマンドの入力の取り込みを、最初のコマンドの入力の半クロック後または1クロック後に行うことを特徴とする。この半導体記憶装置の動作制御方法では、最初のコマンドの入力および2番目のコマンドの入力の取り込みは、クロックに同期して行われる。2番目のコマンドの入力の取り込みは、最初のコマンドの入力の半クロック後または1クロック後に行われる。このため、2番目のコマンドの入力時に得られる情報が、最初のコマンドの入力後から短時間で制御に反映される。この結果、コマンドの入力を2回に分けて行ったときに、2番目のコマンドに対応する制御の遅れを最小限にすることが可能になる。

【0165】(11) 請求項4記載の半導体記憶装置の動作制御方法において、最初のコマンドの入力時にコラ

ムデコーダの活性化を開始し、2番目のコマンドの入力時に取り込んだアドレスを使用して、コラム選択線を選択を行うことを特徴とする。この半導体記憶装置の動作制御方法では、最初のコマンドの入力時に、先ずコラムデコーダの活性化が開始される。2番目のコマンドの入力時に決定した動作モードが書き込み動作モードまたは読み出し動作モードのときに、取り込んだアドレスを使用してコラム選択線を選択が行われる。コラム選択線を選択するアドレスが決まる前に、予めコラムデコーダを活性化されるため、アクセス時間が高速化される。

【0166】(12) 請求項4記載の半導体記憶装置の動作制御方法において、2番目のコマンドの入力時に決定した動作モードが、前記書き込み動作モードのときに、所定の端子に供給されている信号を、書き込みデータのデータ長を指定する情報として取り込み、取り込んだ情報に基づいて、書き込みデータ長の制御を行うことを特徴とする。

【0167】この半導体記憶装置の動作制御方法では、2番目のコマンドの入力時に決定した動作モードが、書き込み動作モードのときに、所定の端子に供給されている信号が、書き込みデータのデータ長を指定する情報として取り込まれる。そして、取り込んだ情報に基づいて、直接、書き込みデータ長の制御が行われる。このため、書き込み動作時に、入出力端子から複数のデータを連続的に取り込む場合に、複雑な制御を行うことなく取り込むデータ長を変更することが可能なる。また、書き込みが不要なデータ(指定されたデータ長より長い部分)については、書き込み制御を行う必要がないため、書き込み動作の制御時間が節約される。この結果、次のサイクルの最初のコマンドの入力時期が早められる。書き込みデータのデータ長の変更は、入出力回路の制御のみで行えるため、2番目のコマンドの入力時に情報を取り込むことで、確実に制御が行われる。

【0168】(13) 請求項4記載の半導体記憶装置の動作制御方法において、2番目のコマンドの入力時に決定した動作モードが、前記書き込み動作モードのときに、所定の端子に供給されている信号を、連続して供給される書き込みデータの一部を無効にするマスク情報として取り込み、取り込んだマスク情報に基づいて、書き込みデータの一部をマスクする制御を行うことを特徴とする。

【0169】この半導体記憶装置の動作制御方法では、2番目のコマンドの入力時に決定した動作モードが、書き込み動作モードのときに、所定の端子に供給されている信号が、連続して供給される書き込みデータの一部を無効にするマスク情報として取り込まれる。そして、取り込んだマスク情報に基づいて、書き込みデータの一部をマスクする制御が行われる。マスク情報を専用の端子で制御するためには、書き込み動作に合わせて、その都度専用の端子から情報を取り込まなくてはならず、制御

が複雑になる。2番目のコマンドの入力時にマスク情報を取り込むことで、複雑な制御を行うことなくマスク制御が行われる。

【0170】(14) 請求項4記載の半導体記憶装置の動作制御方法において、2番目のコマンドの入力時に決定した動作モードが、前記読み出し動作モードのときに、所定の端子に供給されている信号を、読み出しデータのデータ長を指定する情報として取り込み、取り込んだ情報に基づいて、読み出しデータ長の制御を行うことを特徴とする。

【0171】この半導体記憶装置の動作制御方法では、2番目のコマンドの入力時に決定した動作モードが、読み出し動作モードのときに、所定の端子に供給されている信号が、読み出しデータのデータ長を指定する情報として取り込まれる。そして、取り込んだ情報に基づいて、直接、読み出しデータ長の制御が行われる。このため、読み出し動作時に、入出力端子から複数のデータを連続的に出力する場合に、複雑な制御を行うことなく出力するデータ長を変更することが可能なる。また、読み出しが不要なデータ(指定されたデータ長より長い部分)については、出力制御を行う必要がないため、読み出し動作の制御時間が節約される。この結果、次のサイクルの最初のコマンドの入力時期が早められる。読み出しデータのデータ長の変更は、入出力回路の制御のみで行えるため、2番目のコマンドの入力時に情報を取り込むことで、確実に制御が行われる。

【0172】(15) 請求項4記載の半導体記憶装置の動作制御方法において、2番目のコマンドの入力時に決定した動作モードが、前記読み出し動作モードのときに、所定の端子に供給されている信号を、連続して出力される読み出しデータの一部を無効にするマスク情報として取り込み、取り込んだマスク情報に基づいて、読み出しデータの一部をマスクする制御を行うことを特徴とする。

【0173】この半導体記憶装置の動作制御方法では、2番目のコマンドの入力時に決定した動作モードが、読み出し動作モードのときに、所定の端子に供給されている信号が、連続して出力される読み出しデータの一部を無効にするマスク情報として取り込まれる。そして、取り込んだマスク情報に基づいて、読み出しデータの一部をマスクする制御が行われる。マスク情報を専用の端子で制御するためには、読み出し動作に合わせて、その都度専用の端子から情報を取り込まなくてはならず、制御が複雑になる。2番目のコマンドの入力時にマスク情報を取り込むことで、複雑な制御を行うことなくマスク制御が行われる。

【0174】以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかであ

る。

【0175】

【発明の効果】請求項1の半導体記憶装置の動作制御方法では、コマンドの入力に必要な端子数を低減することができる。コマンドの入力に専用の端子を設けている場合には、チップサイズを低減することができる。端子数の制約によりパッケージサイズが大型化することを防止することができる。

【0176】請求項2および請求項3の半導体記憶装置の動作制御方法では、コマンドの入力を2回に分けた場合にもアクセス時間を高速化することができる。請求項4の半導体記憶装置の動作制御方法では、アドレス端子の数を大幅に低減することができる。端子数の制約によりパッケージサイズが大型化することを防止することができる。請求項5の半導体記憶装置の動作制御方法では、書き込みサイクルを早く終了することができ、書き込み動作の後に読み出し動作を行う場合にも、読み出しサイクルの回路動作を早く開始できる。請求項6の半導体記憶装置の動作制御方法では、最初のコマンドの入力により動作を開始した回路を利用して、効率よく書き込み動作ができる。

【0177】請求項7の半導体記憶装置では、コマンドの入力に必要な端子数を低減することができる。コマンドの入力に専用の端子を設けている場合には、チップサイズを低減することができる。端子数の制約によりパッケージサイズが大型化することを防止することができる。請求項8の半導体記憶装置では、コマンドの入力に必要な端子数を低減することができる。コマンドの入力に専用の端子を設けている場合には、チップサイズを低減することができる。端子数の制約によりパッケージサイズが大型化することを防止することができる。コマンドの入力を2回に分けた場合にもアクセス時間を高速化することができる。

【0178】請求項9の半導体記憶装置では、複雑なコマンド体系を有する半導体記憶装置においても、コマンド制御回路を容易に設計できる。この結果、設計の検証を容易にできる。請求項10の半導体記憶装置では、各取込回路による取込制御を高速にできる。この結果、内部回路を動作を早く開始でき、アクセス時間を短縮できる。

【0179】請求項11の半導体記憶装置では、供給される信号の数が多く、取込回路の数が多くの場合にも、クロック信号の負荷を増大することなく、信号を取り込むことができる。

【図面の簡単な説明】

【図1】請求項1ないし請求項4に記載の発明の基本原理解を示すフローチャートである。

【図2】請求項7および請求項8に記載の発明の基本原理解を示すブロック図である。

【図3】本発明の半導体記憶装置の動作制御方法および

半導体記憶装置の第1の実施形態を示す状態遷移図である。

【図4】本発明の半導体記憶装置の動作制御方法および半導体記憶装置の第1の実施形態におけるチップの全体構成図である。

【図5】図4のデコード部の詳細を示すブロック図である。

【図6】図5のモードレジスタの詳細を示す説明図である。

【図7】図4のメモリ動作部の詳細を示すブロック図である。

【図8】図7のコラムデコーダの詳細を示す回路図である。

【図9】図7のメモリコア部の詳細を示すブロック図である。

【図10】図4の入出力部の詳細を示すブロック図である。

【図11】本発明の半導体記憶装置の動作制御方法および半導体記憶装置の第1の実施形態における読み出し動作を示すタイミング図である。

【図12】メモリ動作部の別の構成例を示すブロック図である。

【図13】本発明の半導体記憶装置の第2の実施形態を示すブロック図である。

【図14】バッファおよびコマンドデコーダの詳細を示すブロック図である。

【図15】本発明の半導体記憶装置の第3の実施形態を示すブロック図である。

【図16】本発明の半導体記憶装置の動作制御方法の第2の実施形態および半導体記憶装置の第4の実施形態におけるチップの全体構成図である。

【図17】図16のデコード部および入出力部の詳細を示すブロック図である。

【図18】図16のメモリ制御部およびメモリ動作部の詳細を示すブロック図である。

【図19】図16の半導体記憶装置の読み出し動作を示すタイミング図である。

【図20】図16の半導体記憶装置の書き込み動作を示すタイミング図である。

【図21】本発明の半導体記憶装置の動作制御方法の第3の実施形態および半導体記憶装置の第5の実施形態におけるチップの全体構成図である。

【図22】図21のメモリ制御部およびメモリ動作部の詳細を示すブロック図である。

【図23】図21の半導体記憶装置の読み出し動作を示すタイミング図である。

【図24】図21の半導体記憶装置の書き込み動作を示すタイミング図である。

【符号の説明】

21 デコード部

23 メモリ動作部

25 入出力部

27 メモリコア部

27a 主ワードデコーダ

27b 1/4ワードセレクト

27c 副ワード線ドライバ

27d 副ワードデコーダ

27e センスアンプ

29 クロックバッファ

31、31a 制御信号バッファ

33 パワーダウン信号ラッチ

35、35a 行アドレスバッファ

37 列アドレスバッファ

39 コマンドデコーダ

41 コマンドラッチ

43 リフレッシュカウンタ

45 行アドレスラッチ

47 列アドレスラッチ

49 モードレジスタ

51 モード制御回路

53 RASジェネレータ

55 プリチャージジェネレータ

57 第1制御回路

59a、59b プリデコーダ

61 ブロックデコーダ

63 ワードデコーダ

65 1/4デコーダ

67 BLTデコーダ

69 センスアンプジェネレータ

71 コラムデコーダ

73 第2制御回路

75 リード/ライトバッファ

77、79 データコンバータ

81 データ出力バッファ

83 データ入力バッファ

85 書き込みデータ長制御回路

87 書き込みバッファ

89a、89b 書き込みアドレスバッファ

91 デコード部

92 取込制御回路

93 コマンドデコーダ

94a、94b 取込回路

95a、95b デコード回路

96 クロックバッファ

97 コマンドデコーダ

98a、98b 取込回路

100 デコード部

102 メモリ制御部

104 メモリ動作部

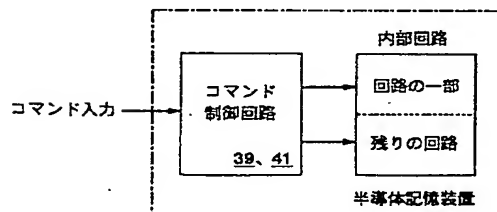
106 入出力部

108 コマンドラッチ
 110 第1コマンド検出部
 110a 読み出しコマンド検出部
 110b 書き込みコマンド検出部
 112 第2コマンド検出部
 112a 動作コマンド検出部
 112b リフレッシュコマンド検出部
 112c モードレジスタコマンド検出部
 114 行アドレスバッファ
 116 列アドレスバッファ
 118 行アドレスラッチ
 120 列アドレスラッチ
 122 入出力データバッファ
 124 入出力データラッチ
 126 RASジェネレータ
 128 リフレッシュ制御回路
 130 モードレジスタ
 132 制御回路
 134 行アドレススイッチ
 136 列アドレススイッチ
 138 データスイッチ
 140 第1制御回路
 142 ブロックデコーダ
 144 行アドレスラッチ
 146 列アドレスラッチ
 148 プリデコーダ
 150 プリデコーダ

152 第2制御回路
 154 リード/ライトバッファ
 158 メモリ制御部
 160 メモリ動作部
 162 リフレッシュ制御回路
 164 リード/ライトバッファ
 166 I/Oスイッチ
 168 書き込みデータバッファ
 A14-A0 アドレス信号、アドレス
 ACLK1、ACKL2 取込信号
 ACON1、ACON2 取込制御信号
 BA1、BA0 バンクアドレス信号、バンクアドレス端子
 CLK クロック信号、クロック端子
 /CS チップセレクト信号、チップセレクト端子
 DBUF 書き込みデータ
 DQ15-DQ0、DQ データ入出力信号、データ入出力端子
 FB フィードバック信号
 FN ファンクション信号、ファンクション端子
 ICAD 内部列アドレス信号
 ICMD 内部コマンド信号
 IRAD 内部行アドレス信号
 IODIS 出力禁止信号
 MC メモリセル
 PD パワーダウン信号、パワーダウン端子
 RDACT、WRACT、LALACT、REFACT、MRACT 活性化信号
 WCON 書込制御信号
 WEN 書き込みデータ有効信号

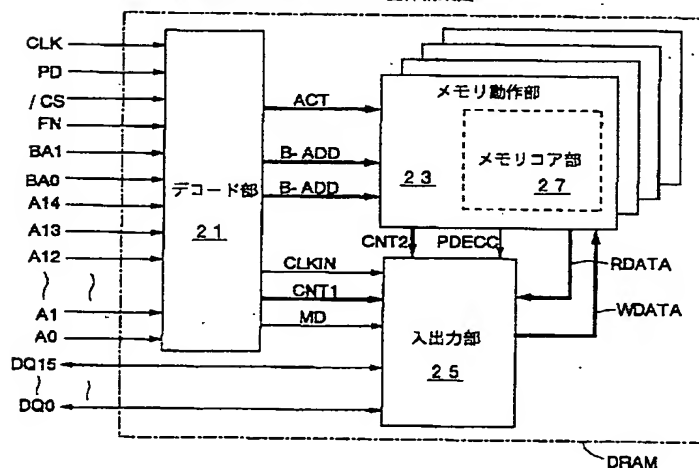
【図2】

請求項7および請求項8に記載の発明の
基本原理を示すブロック図



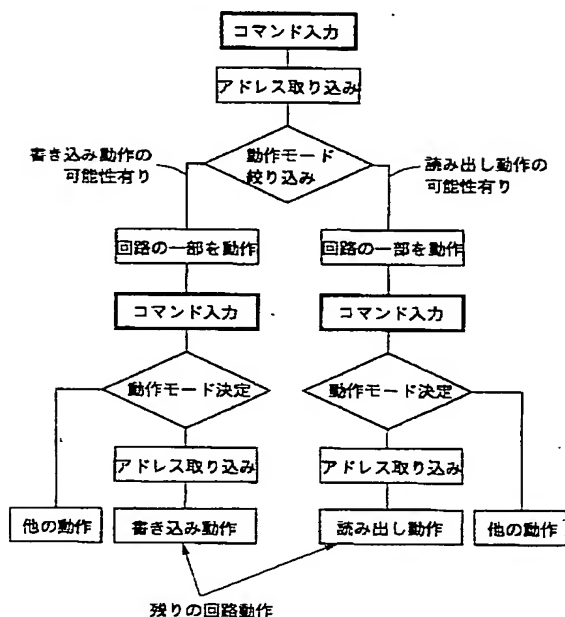
【図4】

半導体記憶装置の動作制御方法および半導体記憶装置の
第1の実施形態におけるチップの全体構成図



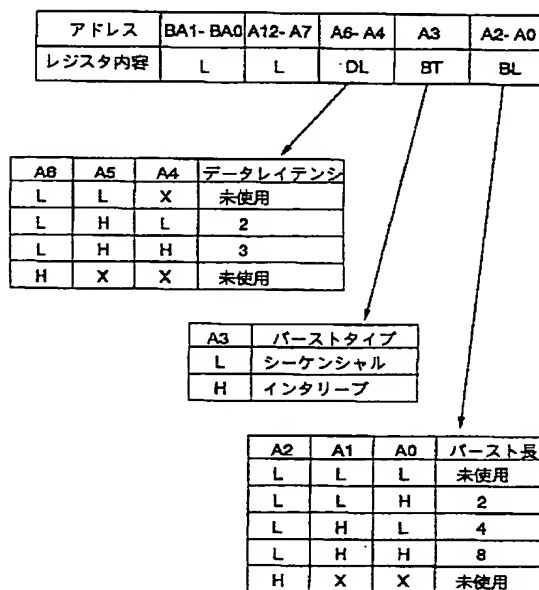
【図1】

請求項1ないし請求項4に記載の発明の
基本原理を示すフローチャート



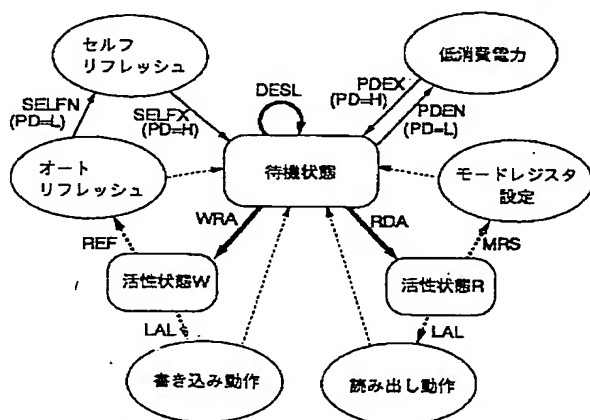
【図6】

モードレジスタの詳細を示す説明図

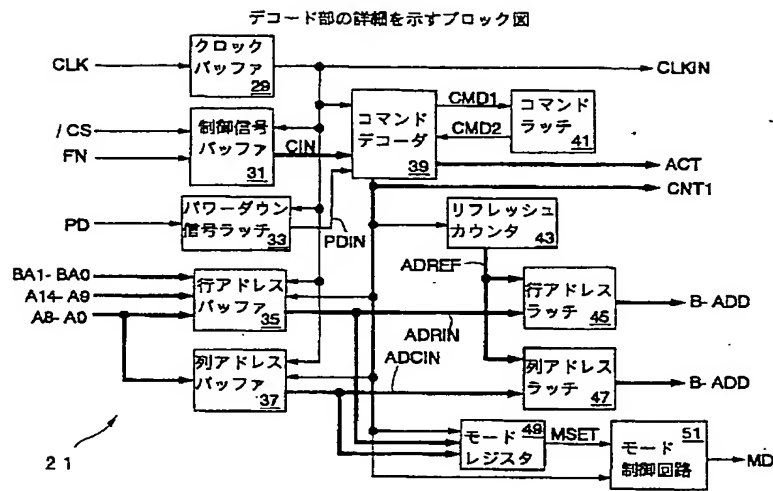


【図3】

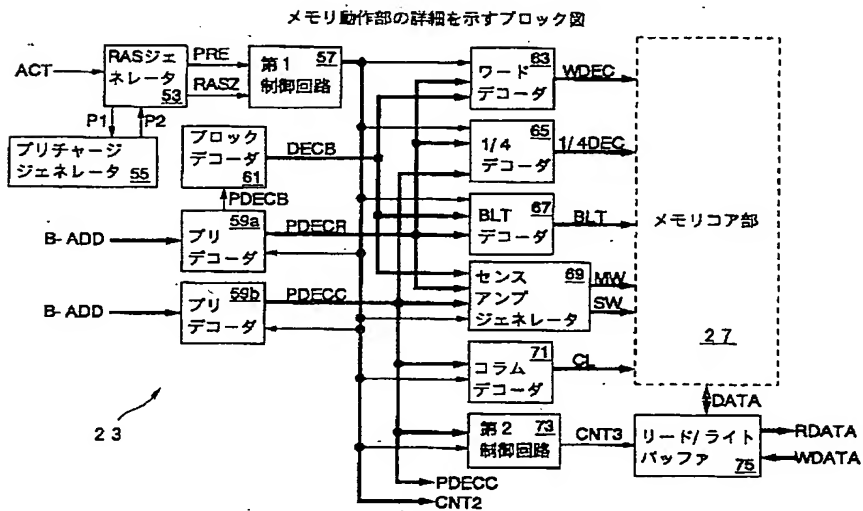
本発明の半導体記憶装置の動作制御方法および半導体記憶装置の第1の実施形態を示す状態遷移図



【図5】

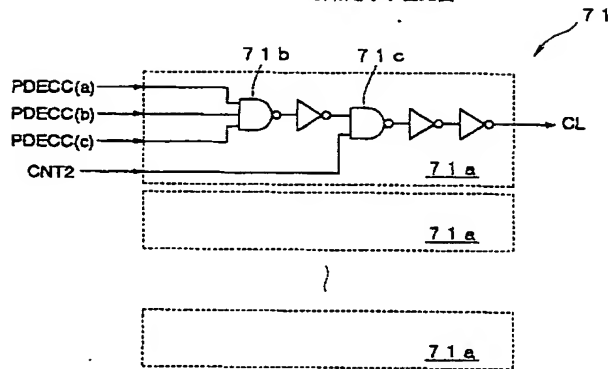


【図7】



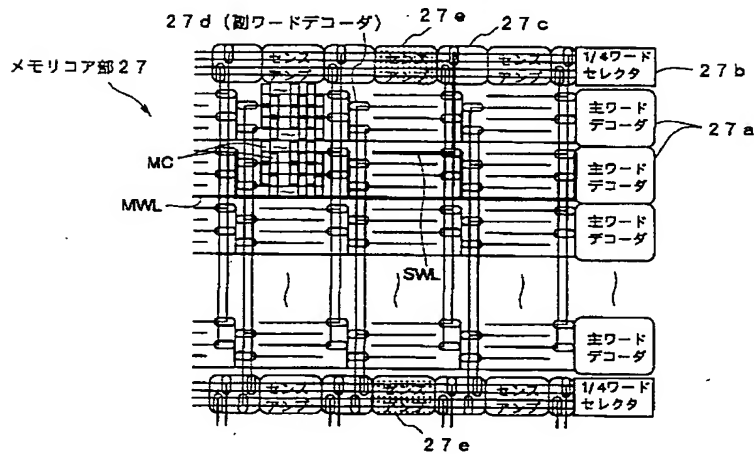
【図8】

コラムデコーダの詳細を示す回路図



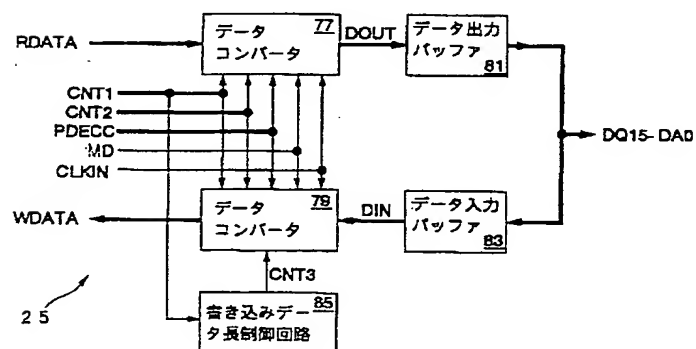
【図9】

メモリア部の詳細を示すブロック図



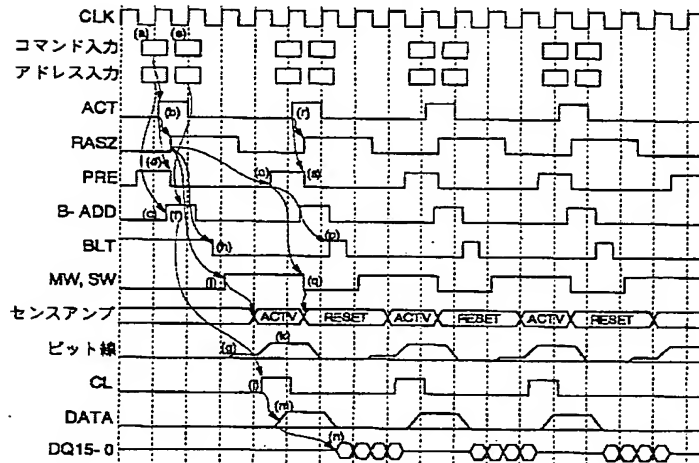
【図10】

入出力部の詳細を示すブロック図



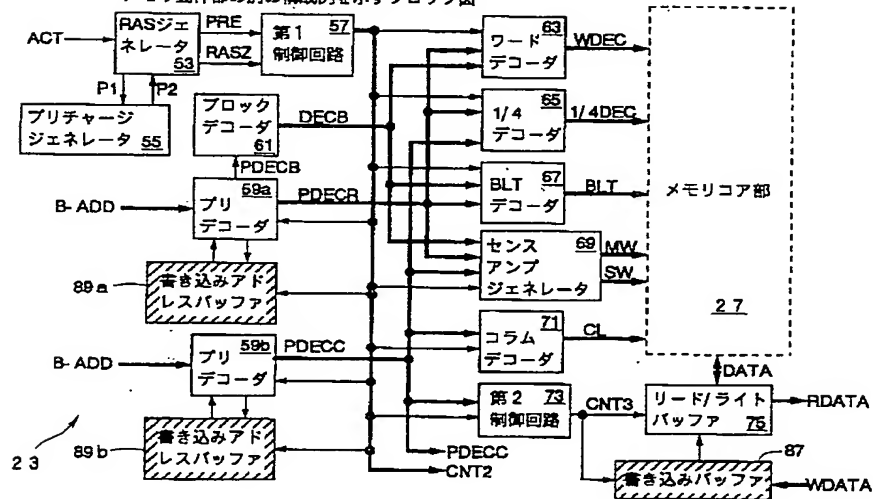
【図11】

読み出し動作を示すタイミング図

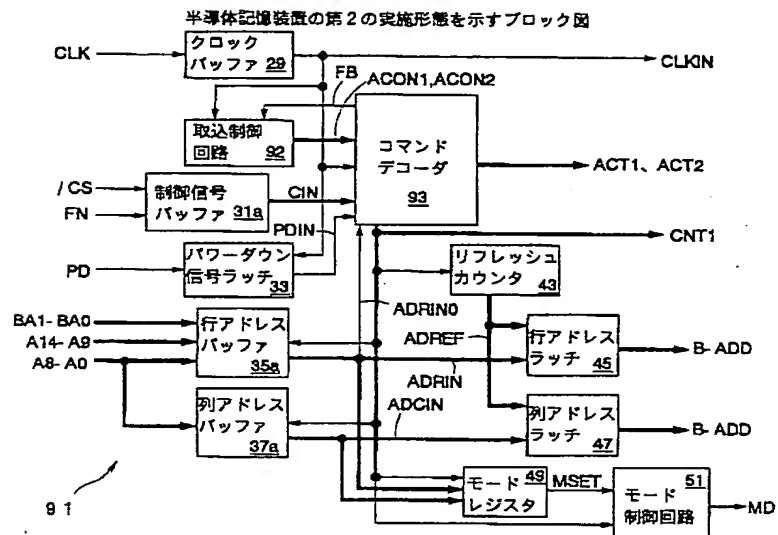


【図12】

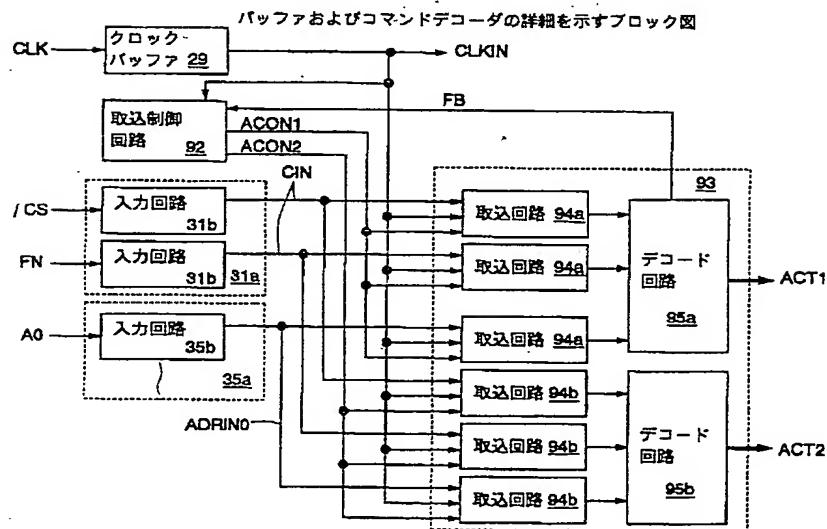
メモリ動作部の別の構成例を示すブロック図



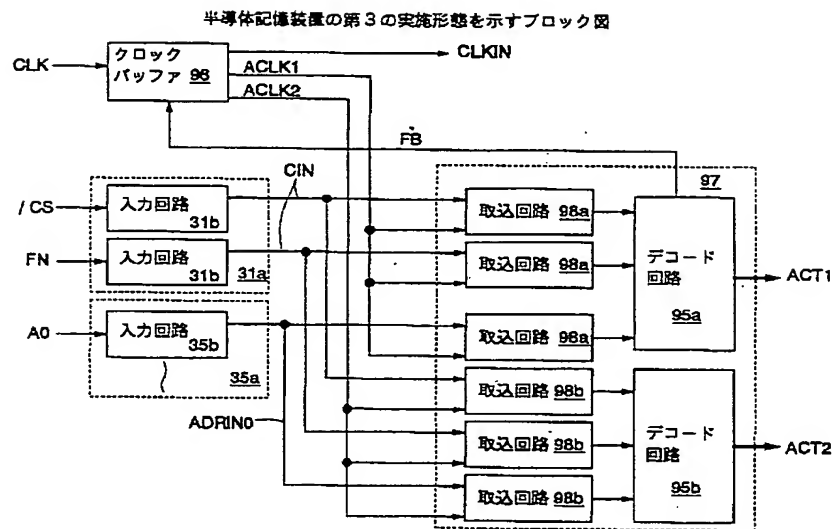
【図13】



【図14】

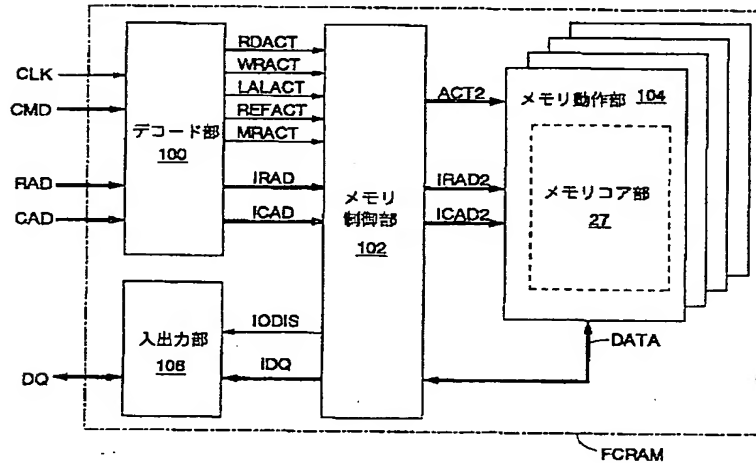


【図15】

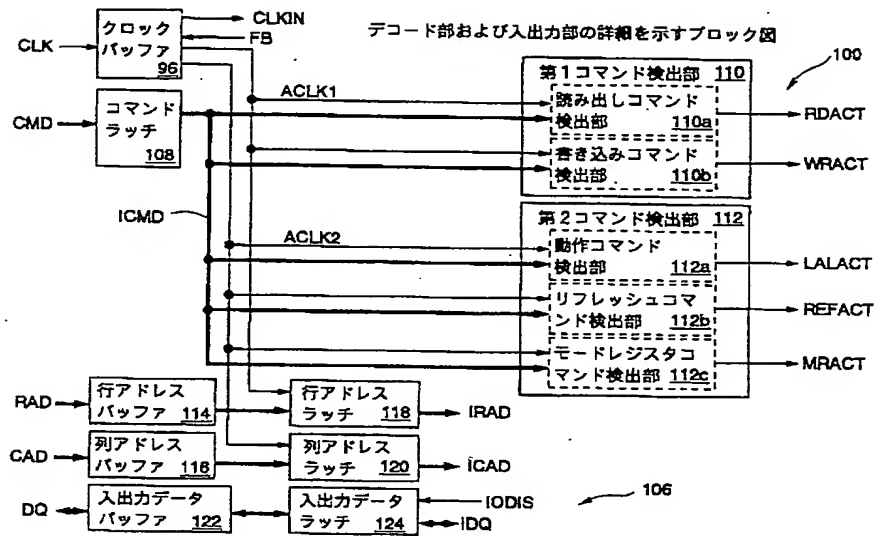


【図16】

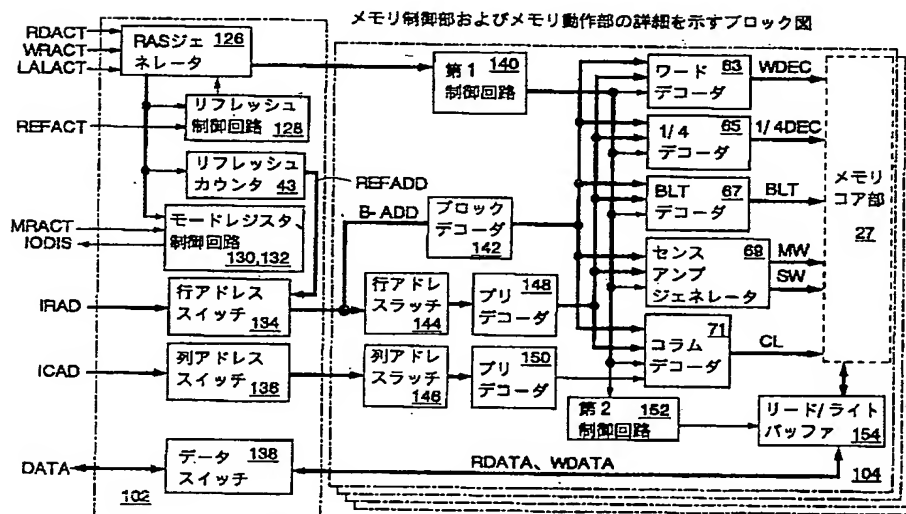
半導体記憶装置の動作制御方法の第2の実施形態および
半導体記憶装置の第4の実施形態におけるチップの全体構成図



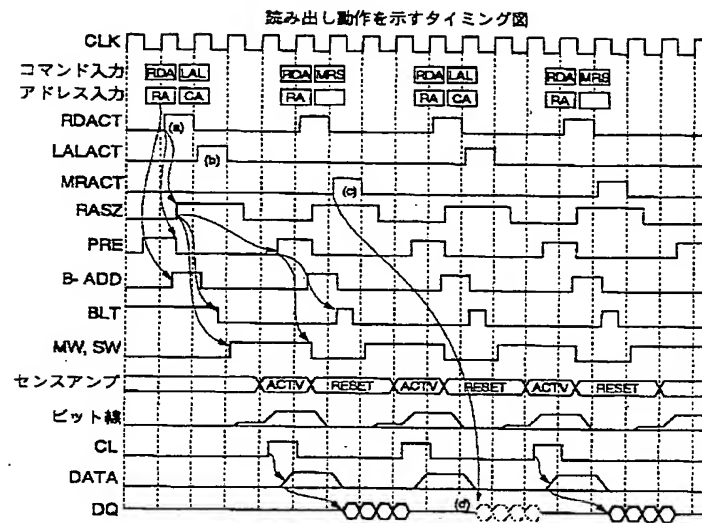
【図17】



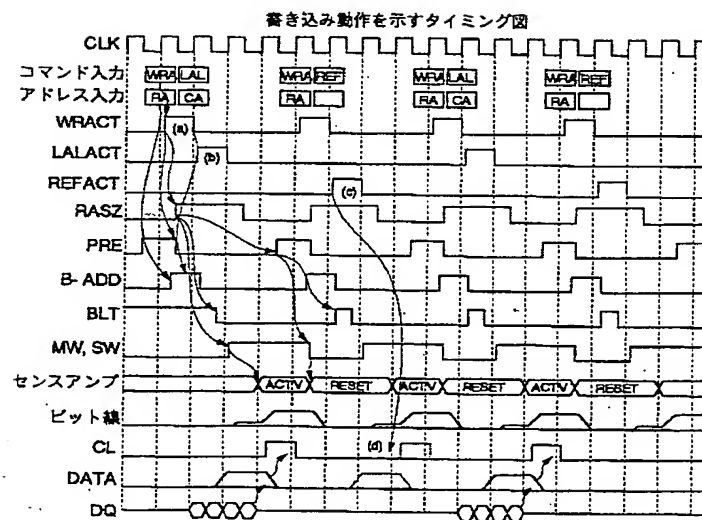
【図18】



【図19】

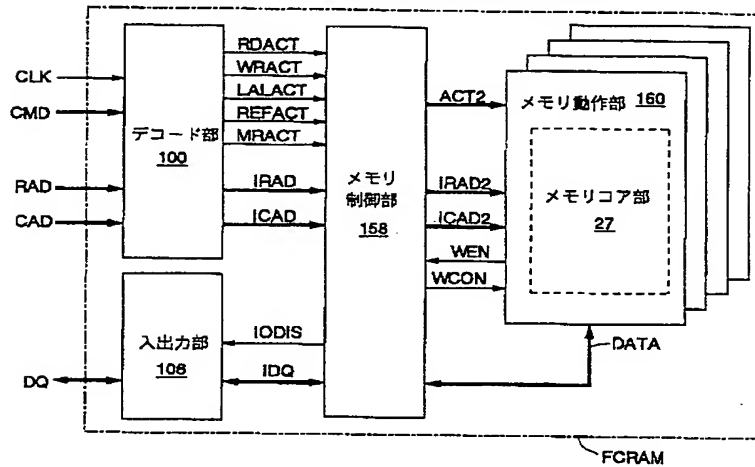


【図20】

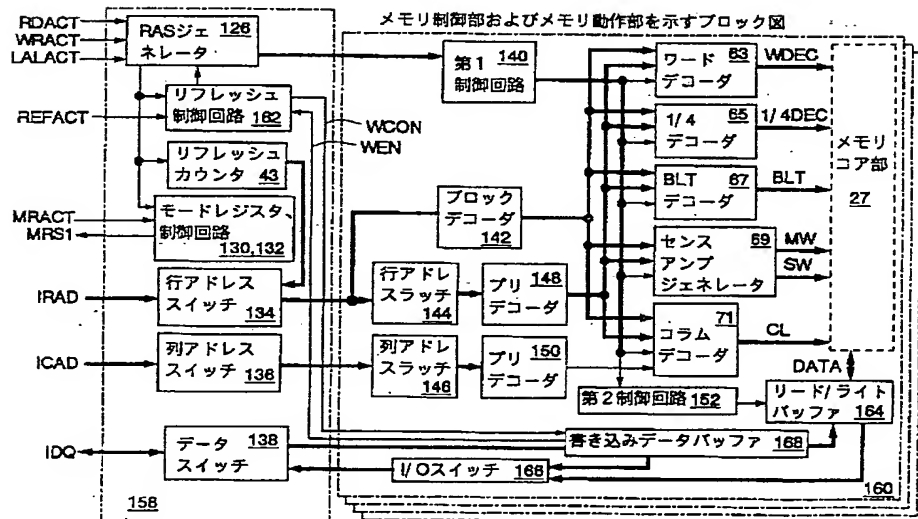


【図21】

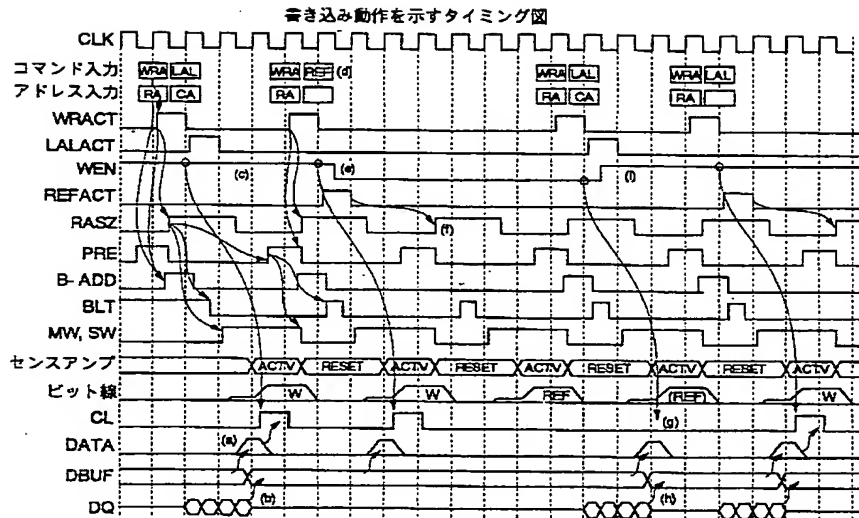
半導体記憶装置の動作制御方法の第3の実施形態および
半導体記憶装置の第5の実施形態におけるチップの全体構成図



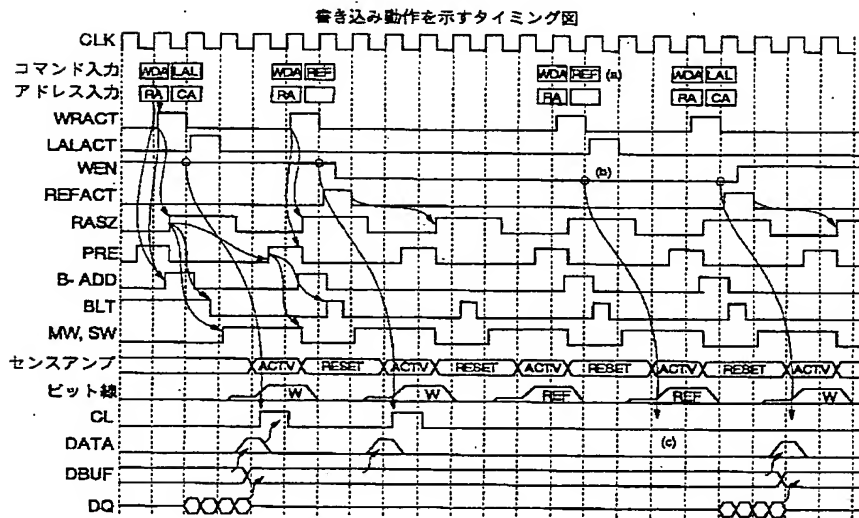
【図22】



【図23】



【図24】



フロントページの続き

(72)発明者 佐藤 光徳
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 柳下 良昌
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
Fターム(参考) 5B024 AA07 AA15 BA21 CA07 CA16
CA21

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.